

925486

NEW PATENT APPLICATION CHECKLIST FOR MATTERS OF FORM

Examiner:

The items checked below have been noted in processing this application as filed.

After the typist has included these statements in the first Office action, please initial this form in the margin to the left of the appropriate paragraph. Please do NOT remove from the file jacket.

1. SPECIFICATION, JUMBO APPLICATION NOT CHECKED FOR MINOR ERRORS (If more than 20 pages of description, exclusive of claims.)

☐ Because of the lengthy specification in this application, it has not been checked to the extent necessary to determine the presence of all possible minor errors. Applicant's cooperation is therefore requested in promptly correcting any errors of which he may become aware in the specification or drawings.

2. RESIDENCE OMITTED (MPEP 605.02 and 603.03)

☐ Applicant's residence has been omitted from the papers. The city and state of his post-office address will be presumed to be the city and state of his residence. If the above is incorrect, applicant should submit a statement of his place of residence no later than at the time of payment of the issue fee.

3. PRIORITY PAPERS, ACKNOWLEDGMENT (MPEP 201.14(c))

☒ Receipt is acknowledged of papers submitted under 35 U.S.C. 119, which papers have been placed of record in the file.

4. PRIORITY PAPERS, ACKNOWLEDGMENT, PAPERS IN PARENT APPLICATION (MPEP 201.14(b))

☐ Applicant's claim for priority, based on papers filed in parent application Serial No. _____ submitted under 35 U.S.C. 119, is acknowledged.

5. PRIORITY, CLAIM FOR BUT NO PAPERS FILED (MPEP 201.14(c))

☐ Acknowledgment is made of applicant's claim for priority based on an application filed in _____ on _____. It is noted, however, that applicant has not filed a certified copy of said application as required by 35 U.S.C. 119.

6. PRIORITY PAPERS, MORE THAN ONE YEAR SINCE FILING IN FOREIGN COUNTRY (MPEP 201.14(c))

☐ Receipt is acknowledged of the filing on _____, of a certified copy of the _____ application referred to in the _____. * A claim for priority can not be based on said application, since the United States application was filed more than twelve months thereafter.

7. PRIORITY, REFERENCE IN OATH OR DECLARATION OMITTED (MPEP 201.14(c))

☐ Receipt is acknowledged of papers filed _____, based on an application filed in _____ on _____. Applicant has not complied with the requirements of Rule 65(a), since the _____ * does not acknowledge the filing of any foreign application. A new _____ * is required.

* INSERT EITHER "DECLARATION" OR "OATH" WHICHEVER IS APPLICABLE.

CLERK

R. T. Talbot

DATE

11 DEC 01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Shingo Eguchi et al.
Serial No. : Unassigned
Filed : August 10, 2001
Title : SEMICONDUCTOR DEVICE

Art Unit : Unknown
Examiner : Unknown

#3
11 Decol
P. Talley



Commissioner for Patents
Washington, D.C. 20231

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicants hereby confirm their claim of priority under 35 USC §119 from the following application:

Japan Application No. 2000-245989 filed August 14, 2000

A certified copy of the application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: August 10, 2001


John F. Hayden
Reg. No. 37,640

Fish & Richardson P.C.
601 Thirteenth Street, NW
Washington, DC 20005
Telephone: (202) 783-5070
Facsimile: (202) 783-2331

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 8月14日

出 願 番 号

Application Number:

特願2000-245989

出 願 人

Applicant(s):

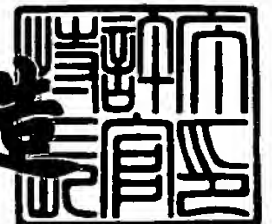
株式会社半導体エネルギー研究所



2001年 6月12日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3055069

【書類名】 特許願
【整理番号】 P005151
【提出日】 平成12年 8月14日
【あて先】 特許庁長官 及川 耕造 殿
【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 江口 晋吾

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 佐竹 瑠茂

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】

第 1 の電極と、前記第 1 の電極上の絶縁膜と、前記絶縁膜に設けられ、前記第 1 の電極に達する深さの開口部と、前記絶縁膜上に形成され、前記開口部を介して前記第 1 の電極と接続するゲート配線と、前記絶縁膜上に設けられた第 2 の電極と、前記第 2 の電極の上方に設けられた液晶層とを有し、前記第 2 の電極は前記第 1 の電極の電界を前記液晶層から遮蔽するように設けられていることを有することを特徴とする半導体装置。

【請求項 2】

半導体膜と、前記半導体膜上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられ、前記半導体膜と重なる第 1 の電極と、前記第 1 の電極上の絶縁膜と、前記絶縁膜に設けられ、前記第 1 の電極に達する深さの開口部と、前記絶縁膜上に形成され、前記開口部を介して前記第 1 の電極と接続するゲート配線と、前記絶縁膜上に設けられた第 2 の電極と、前記第 2 の電極の上方に設けられた液晶層とを有し、前記第 2 の電極は前記第 1 の電極の電界を前記液晶層から遮蔽するように設けられていることを有することを特徴とする半導体装置。

【請求項 3】

第 1 の半導体膜と、第 2 の半導体膜と、前記第 1 及び第 2 の半導体膜上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられ、前記第 1 の半導体膜と交差して、かつ、前記第 2 の半導体膜と重なる第 1 の電極と、前記第 1 の電極上の絶縁膜と、前記絶縁膜に設けられ、前記第 1 の電極に達する深さの開口部と、前記絶縁膜上に形成され、前記開口部を介して前記第 1 の電極と接続するゲート配線と、前記絶縁膜上に設けられた第 2 の電極と、前記第 2 の電極の上方に設けられた液晶層とを有し、前記第 2 の電極は前記第 1 の電極の電界を前記液晶層から遮蔽するように設けられていることを有することを特徴とする半導体装置。

【請求項 4】

第 1 の電極と、前記第 1 の電極上の絶縁膜と、前記絶縁膜に設けられ、前記第

1 の電極に達する深さの開口部と、前記絶縁膜上に形成され、前記開口部を介して前記第 1 の電極と接続するゲート配線と、前記絶縁膜上に設けられた第 2 の電極と、前記第 2 の電極の上方に設けられた液晶層とを有し、前記第 1 の電極はその面積の 7 0 % 以上が前記第 2 の電極と重なっていることを特徴とする半導体装置。

【請求項 5】

半導体膜と、前記半導体膜上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられ、前記半導体膜と重なる第 1 の電極と、前記第 1 の電極上の絶縁膜と、前記絶縁膜に設けられ、前記第 1 の電極に達する深さの開口部と、前記絶縁膜上に形成され、前記開口部を介して前記第 1 の電極と接続するゲート配線と、前記絶縁膜上に設けられた第 2 の電極と、前記第 2 の電極の上方に設けられた液晶層とを有し、前記第 1 の電極と、前記ゲート絶縁膜と、前記第 2 の半導体膜とから保持容量が形成され、前記保持容量はその面積の 9 0 % 以上が前記第 2 の電極と重なっていることを特徴とする半導体装置。

【請求項 6】

第 1 の半導体膜と、第 2 の半導体膜と、前記第 1 及び第 2 の半導体膜上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられ、前記第 1 の半導体膜と交差して、かつ、前記第 2 の半導体膜と重なる第 1 の電極と、前記第 1 の電極上の絶縁膜と、前記絶縁膜に設けられ、前記第 1 の電極に達する深さの開口部と、前記絶縁膜上に形成され、前記開口部を介して前記第 1 の電極と接続するゲート配線と、前記絶縁膜上に設けられた第 2 の電極と、前記第 2 の電極の上方に設けられた液晶層とを有し、前記第 1 の電極と、前記ゲート絶縁膜と、前記第 2 の半導体膜とから保持容量が形成され、前記保持容量はその面積の 9 0 % 以上が前記第 2 の電極と重なっていることを特徴とする半導体装置。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一において、前記絶縁膜の単位面積あたりの容量が、 $0.018 [\text{mF}/\text{m}^2]$ 以上であることを特徴とする半導体装置。

【請求項 8】

第 1 の電極と、前記第 1 の電極上の絶縁膜と、前記絶縁膜上の第 2 の電極とを

有し、前記第 1 の電極はその面積の 7 0 % 以上が前記第 2 の電極と重なり、前記絶縁膜は、単位面積当たりの容量が $0.018 [\text{mF}/\text{m}^2]$ 以上であることを特徴とする半導体装置。

【請求項 9】

半導体膜と、前記半導体膜上のゲート絶縁膜と、前記ゲート絶縁膜上の第 1 の電極とから保持容量を形成し、前記保持容量上の絶縁膜は、単位面積あたりの容量が、 $0.018 [\text{mF}/\text{m}^2]$ 以上であり、前記絶縁膜上に形成され、前記保持容量はその面積の 9 0 % 以上が前記第 2 の電極と重なることを特徴とする半導体装置。

【請求項 1 0】

請求項 1 乃至請求項 9 のいずれか一において、前記絶縁膜上に画素電極が形成され、前記第 2 の電極は前記画素電極と接することを特徴とする半導体装置。

【請求項 1 1】

請求項 1 乃至請求項 9 のいずれか一において、前記第 2 の電極は画素電極であることを特徴とする半導体装置。

【請求項 1 2】

請求項 1 乃至請求項 9 のいずれか一において、前記絶縁膜は無機材料からなる第 1 の絶縁膜と有機材料からなる第 2 の絶縁膜からなることを特徴する半導体装置。

【請求項 1 3】

請求項 1 乃至請求項 9 のいずれか一において、前記半導体装置は、反射型の電気光学装置であることを特徴とする半導体装置。

【請求項 1 4】

請求項 1 乃至請求項 9 のいずれか一において、前記半導体装置は、投影型の電気光学装置であることを特徴とする半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は薄膜トランジスタ（以下、TFTという）で構成された回路を有する

半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。

【 0 0 0 2 】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【 0 0 0 3 】

なお、本明細書中において素子基板とは、半導体特性を利用した素子が設けられた基板全般を指す。素子としては、例えば、薄膜トランジスタ（以下、T F T と呼ぶ）、M O S トランジスタ、ダイオードがある。

【 0 0 0 4 】

【従来の技術】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百 n m 程度）を用いて薄膜トランジスタ（T F T）を構成する技術が注目されている。薄膜トランジスタは I C や電気光学装置のような電子デバイスに広く応用され、特に液晶表示装置のスイッチング素子として開発が急がれている。

【 0 0 0 5 】

液晶表示装置において、高品位な画像を得るために、画素電極をマトリクス状に配置し、画素電極の各々に接続するスイッチング素子として T F T を用いたアクティブマトリクス型液晶表示装置が注目を集めている。

【 0 0 0 6 】

また、アクティブマトリクス型液晶表示装置の表示性能の面から画素には大きな保持容量を持たせるとともに、高開口率化が求められている。各画素が高い開口率を持つことにより光利用効率が向上し、表示装置の省電力化および小型化が達成できる。

【 0 0 0 7 】

近年、画素サイズの微細化が進み、より高精細な画像が求められている。画素サイズの微細化は 1 つの画素に占める T F T 及び配線の形成面積が大きくなり画

素開口率を低減させている。

【0008】

そこで、規定の画素サイズの中で各画素の高開口率を得るためには、画素の回路構成に必要な回路要素を効率よくレイアウトすることが不可欠である。

【0009】

また、アクティブマトリクス型液晶表示装置において、信頼性という観点において、長期使用しても、液晶の配向が変化せず、一定の表示を行うことが求められている。

【0010】

さらに、駆動電源を切った後は、液晶が通常の配向に戻ることが求められている。

【0011】

また、液晶表示装置の開口率を高くし、明るい表示をすることが求められている。

【0012】

【発明が解決しようとする課題】

以上のように、少ないマスク数で画素開口率の高い反射型液晶表示装置または透過型液晶表示装置を実現するためには、従来にない新しい画素構成が求められている。本発明は、このような液晶表示装置表示装置において、表示特性、信頼性の改良を図るものである。

【0013】

以下に、実験事実に基づいて、本発明が課題とする現象を説明する。

【0014】

まず、少ないマスク数で画素開口率の高い液晶表示装置を実現するために、図16及び図17の上面図に示す画素構造を作製した。図16の上面図を鎖線A-A'で切断した断面を図9に示す。図16及び図17の上面図を鎖線C-C'で切断した断面を図2に示す。

【0015】

図16及び図17の構成において、第1の電極485は第1の半導体膜484

とゲート絶縁膜を介して交差してゲート電極としての機能を有する。また、第1の電極及び第2の半導体膜493を容量電極とし、ゲート絶縁膜を誘電体膜として保持容量550を形成する。つまり、第1の電極は容量電極としての機能を兼ねている。そして、ゲート配線481は第1の電極485と開口部（コンタクトホール）で接続されている。

【0016】

また、第2の電極492は第2の半導体膜493とコンタクトホールを介して接続している。かつ、第2の電極492は画素電極491と接する領域を有する。第2の電極492により、第2の半導体膜493は画素電極491と同電位になる。

【0017】

図16及び図17の構成はゲート配線481、ソース配線483、画素電極491、保持容量505を含むTFT素子を3枚のフォトマスクで形成していることが特徴である。また、ソース配線483上に絶縁膜（472及び473）を介して画素電極491を重ねることができるので開口率を高くすることができる。図16において、 $43\mu\text{m} \times 126\mu\text{m}$ のVGAの画素で54%もの開口率を達成している。

【0018】

図16及び図17の画素部を有する透過型の液晶表示装置の駆動電源を入れる前と、ビデオ電圧を±1V印加しているときと、駆動電源を切った後の液晶表示装置の画素部の配向とを観察した結果を図20～図21に示す。図20は液晶配向の顕微鏡写真である。図21はゲート配線481付近の液晶配向を図示したものである。図17と同じ要素は図21において同じ数字で示す。

【0019】

透過型の液晶表示装置の液晶はポジ型の液晶であるメルク社製のZLI4792を用いている。配向膜は日産化学社製のSE7792を用いている。液晶の配向はTN方式である。配向の観察は光学顕微鏡において液晶表示装置に反射光と透過光が同時に入射するようにしている。顕微鏡の光学系を調節して、透過光に対しても、反射光に対しても偏光板がクロスニコルの配置となるようにしている。

。液晶の配向変化が見やすいように、透過型液晶表示装置の対向基板にはあえて遮光膜を設けなかった。

【 0 0 2 0 】

ここで、液晶表示装置の駆動において、ゲート配線に印加される信号を図 3 に示す。液晶表示装置の一つのゲート配線において、ゲート配線が選択されている期間のみ + 8 V のパルス電圧が印加される。ゲート配線が非選択の期間は - 8 V の電圧が印加されている。VGA の仕様で設計された液晶表示装置は、1 フレーム 16.6 msec のうち、ゲート配線が選択されている 34.6 μ sec の間は + 8 V のパルス電圧が印可される。ゲート配線が非選択の 16.66 msec の間は - 8 V の電圧が常時印加されている。一本のゲート配線において、圧倒的に負極性の電圧が印加されている期間が長いことがわかる。また、常時、液晶のしきい値以上の電圧が印加されていることがわかる。

【 0 0 2 1 】

駆動前 (図 20 (A)、図 21 (A)) は、第 1 の電極 485 上方の液晶配向において特異的な現象は見られなかった。

【 0 0 2 2 】

ここで、ゲート反転駆動によりビデオ電圧を ± 1 V 印可したときの各配線若しくは電極の電位を以下に示す。ゲート配線 481 及び第 1 の電極 485 は、+ 8 V 若しくは - 8 V の電位を持つ。ソース配線 483、接続電極 480、ドレイン電極 482、画素電極 491、第 2 の電極 492 は + 1 V 若しくは - 1 V の電位を持つ。これらの電位と対向電極の電位の差により液晶が応答する。

【 0 0 2 3 】

また、ゲート反転駆動によりビデオ電圧を ± 1 V 印可したときの配向を、図 20 (B)、図 21 (B) に示す。ビデオ電圧の値が液晶のしきい値以下のため、画素電極 491 上方の液晶はスイッチングしない。ゲート配線 481 及び第 1 の電極 485 上方の液晶は + 8 V 若しくは - 8 V のゲート電圧が印加されるため、液晶が電界に対し応答し、液晶の長軸が基板面に対し垂直に配向している。液晶が電界により応答し、垂直に配向するためクロスニコルの偏光板下で黒く見える領域 601 がある。

【 0 0 2 4 】

駆動電源を切った後の液晶の配向を図 2 0 (C)、図 2 1 (C) に示す。第 1 の電極 4 8 5 上方の液晶の配向が固定されて残っていた。特に、数回の試験において、保持容量上方の液晶が駆動電源を切っても、配向が固定されて残っている傾向があった。この領域を 6 0 2 で示す。液晶の配向領域 6 0 2 は駆動電源を切ったのち、画素電極 4 9 1 上方の液晶配向と同様の状態にまで緩和するのに 1 0 分～1 5 分の時間がかかった。

【 0 0 2 5 】

反射型の液晶表示装置は外光を反射して表示を行うため、液晶表示装置の駆動電源を切っても、表示光が目に入る。配向が固定される領域を遮光しないと、液晶緩和過程による画面の明暗の変化があれば、それがユーザーの目に入る。つまり、駆動電源を切った後に、時間たつにより明るさが徐々に変化する可能性があり問題である。

【 0 0 2 6 】

次に、8 5℃の高温で液晶の信頼性の試験を行った。表示パターンは黒と白の縦ストライプパターンが交互に繰り返すものである。黒、白のストライプパターンは画面内でそれぞれ 2 本である。黒レベルについては、ビデオ電圧を +5 V 若しくは -5 V にし、ゲートライン反転駆動により、隣接するゲートラインごとにビデオ電圧の極性を変えて印可した。白レベルについては常時 0 V とした。

【 0 0 2 7 】

ここで、液晶の信頼性試験を行った結果を示す。信頼性試験が 1 0 0 時間経過した後の室温での配向写真を図 1 8 ～図 1 9 に示す。図 1 8 は配向写真を示す。図 1 9 は画素部における液晶の配向を図示したものである。図 1 9 において、図 1 7 と同じ要素は同じ数字で示す。配向の観察は信頼性試験において画素電極に ± 5 V の電圧を印加していた領域について行った。観察は室温で行っている。

【 0 0 2 8 】

信頼性試験が 1 0 0 時間経過した後に電源を切っても、第 1 の電極 4 8 5 上方の液晶の配向が固定されていた (図 1 8 (A)、図 1 9 (A))。液晶の配向が固定された領域を 6 0 3 で示す。つまり、駆動電源を切ったのちに液晶の配向が

そのまま残る前述の現象が現れていた。

【 0 0 2 9 】

また、ゲート反転駆動によりビデオ電圧を±1 V印可したときの配向を、図 1 8 (B)、図 1 9 (B) に示す。ビデオ電圧の値がしきい値以下のため、接続電極 4 8 0、画素電極 4 9 1、第 2 の電極 4 9 2 及びドレイン電極 4 8 2 の上方の液晶は電界により応答していない。ゲート配線 4 8 1 及び第 1 の電極 4 8 5 は - 8 V のゲート電圧が印加されるため、上方の液晶が電界に対し応答し、液晶の長軸が基板面に対し垂直に配向している。液晶が電界により応答し、垂直に配向するためクロスニコルの偏光板下で黒く見える領域 6 0 4 がある。

【 0 0 3 0 】

次に、駆動電源を切った後の液晶の配向を図 1 8 (C)、図 1 9 (C) に示す。第 1 の電極 4 8 5 上方に見られた液晶の配向のうち一部が固定されていた。駆動電源を切ったのちも残る液晶の配向領域を 6 0 5 で示す。

【 0 0 3 1 】

駆動電源を切った後の液晶の配向は、駆動時の電界によりできる液晶の配向（つまり、図 1 8 (B)、図 1 9 (B) で示される液晶の配向）をいくらかとどめた形であった。

【 0 0 3 2 】

駆動電源を切った後に、第 1 の電極 4 8 5 上方の液晶の配向が元の状態に緩和する時間は信頼性試験が経過するにつれて長くなった。1 0 0 0 時間の信頼性試験を終えた後では、液晶が画面全体に渡り、均一な配向となるまでの時間が 1 時間を越えた。信頼性試験が 1 0 0 0 時間を経過しても、液晶の配向が固定された領域が出る位置は、変わらず、第 1 の電極上方であった。ゲート配線上方では液晶の配向が固定された領域は特に見られなかった。

【 0 0 3 3 】

このように、高温での信頼性試験において、駆動電源を切った後の液晶の緩和時間が長くなる傾向があった。この様な結果があると、特に、投影型の液晶表示装置で、長時間使用により、駆動電源を切ったのちの液晶の配向緩和時間が長くなる可能性がでてくる。また、液晶表示装置を、カーナビゲーションのような車

内用途に使った場合、太陽熱により車内に熱がこもるような高温にさらされることで、表示特性が経時変化して、駆動電源を切ったのちの液晶の配向緩和時間が徐々に長くなる可能性がでてくる。

【 0 0 3 4 】

また、透過型の液晶表示装置においては、バックライトを切ることにより、液晶の配向の緩和過程を隠すことが出来る。しかし、反射型の液晶表示装置のときは、外光を利用して表示を行い、液晶表示装置の電源を切った後も表示光は目に入るため、液晶の配向の緩和に時間がかかると、使用者の目に液晶の緩和過程による明暗の変化がそのまま認識される。反射型の液晶表示装置は明るさを稼ぐために対向基板に遮光膜を設けないことが多いため、なおさら、駆動電源を切った後の配向の緩和過程が透過型の液晶表示装置に比べ認識されやすい。

【 0 0 3 5 】

また、透過型の液晶表示装置においても遮光膜の位置ずれにより液晶の緩和過程により明るさの変化が認識されてしまう。

【 0 0 3 6 】

もちろん、このような不安定な配向を隠すために遮光膜を配置することもできるが、長期間に渡って液晶表示装置を使用した場合に、このような配向が固定された領域が画素内にもぐりこむ恐れを考えると、遮光膜の面積を広くとらざるを得ない。つまり、遮光膜により開口率が低下する恐れがある。できるだけ、このような不安定要素を液晶表示装置から取り除くことが課題である。

【 0 0 3 7 】

【課題を解決するための手段】

上述した従来技術の課題を解決するための手段を、以下に詳細に説明する。

【 0 0 3 8 】

本発明は、駆動電源を切った後に、第 1 の電極上に残留した電荷によりできる電界を第 2 の電極により遮蔽する。これにより、電極上に残留した電荷によりできる電界により、液晶の配向が変化し、その配向が固定されて残る現象を低減する。

【 0 0 3 9 】

本発明は、駆動電源を切った後に液晶の配向を固定させて残さないため、素子構造を工夫した。本発明の、画素部の上面図を図４及び図５に示す。画素部において、本発明の特徴を示す断面図を図１に示す。図１及び図４及び図５において、図１６及び図１７と同じ要素は同じ数字で示している。図１において、鎖線Ｂ－Ｂ'は、図４及び図５の上面図を鎖線Ｂ－Ｂ'で切断したものである。

【 0 0 4 0 】

本発明では、図４のように、第１の電極４８５の上方に、第２の電極４９２を重ねていることが特徴である。第１の電極４８５の面積の７０％以上が第２の電極４９２と重なるようにすることで、駆動電源を切った後に固定されて残る液晶の配向が実用に問題のない範囲にまで低減することがわかった。

【 0 0 4 1 】

特に、保持容量５０５上方の液晶の配向が駆動電源を切っても固定されて残る傾向が見られたため、保持容量５０５の面積の９０％以上を、第２の電極４９２が重なるようにした。これにより、駆動電源を切った後に固定されて残る液晶の配向が実用に問題のない範囲にまで低減することがわかった。つまり、保持容量の電極として機能する第２の半導体膜４９３と、保持容量の電極として機能する第１の電極４８５が重なる領域の上方が第２の電極４９２で覆われている。

【 0 0 4 2 】

まず、本発明を適用したときの、駆動電源を切った後の液晶の配向を説明する。本発明の透過型の液晶表示装置の駆動前の画素部の液晶の配向と、ビデオ電圧を±１Ｖ印加しているときの液晶の配向と、駆動電源を切った後の液晶の配向とを図１２～図１３に示す。

【 0 0 4 3 】

図１２（Ａ）と図１３（Ａ）は、駆動前の液晶の配向を、偏光顕微鏡を通して確認したものである。液晶は画素部の全体に渡り、一様なツイスト配向をしている。

【 0 0 4 4 】

図１２（Ｂ）と図１３（Ｂ）は、透過型の液晶表示装置にビデオ電圧を±１Ｖ印加しているときの液晶の配向を、偏光顕微鏡を通して確認したものである。第

1 の電極 4 8 5 上方に、第 2 の電極 4 9 2 を重ねている。このため、第 1 の電極 4 8 5 によりできる電界は第 2 の電極により遮蔽されている。

【 0 0 4 5 】

ドレイン電極 4 8 2 及び第 2 の電極 4 9 2 は画素電極 4 9 1 と接しているため、第 2 の電極 4 9 2 上方の液晶には + 1 V 若しくは - 1 V が印可される。液晶のしきい値以下の電圧が印加されているため、第 2 の電極上方の液晶はスイッチングしない。

【 0 0 4 6 】

ゲート配線 4 8 1 上方は、- 8 V 若しくは + 8 V の電圧が印加されているため、液晶が電界に対し、応答している。この領域を 6 0 6 で示す。

【 0 0 4 7 】

そして、駆動電源を切った。図 1 2 (C) と図 1 3 (C) は、駆動後の液晶の配向を示す。第 1 の電極 4 8 5 上方の液晶の配向は通常のツイスト配向に戻っていた。

【 0 0 4 8 】

図 1 2 (C) の写真の左寄りにある画素で、接続電極 4 8 0 上に黒く見えるのは、感光性材料をパターンニングして形成された柱状スペーサーである。

【 0 0 4 9 】

次に、図示してはいないが、ビデオ電圧を ± 5 V の振幅で印加すると、± 5 V のビデオ電圧により画素電極 4 9 1、接続電極 4 8 0、第 2 の電極 4 9 2 上の液晶が基板に対し垂直に配向した。また、ゲート電圧 + 8 V が印加されることによりゲート配線 4 8 1 上の液晶が基板面に対し垂直に配向した。そして、駆動電源を切った。すると、第 1 の電極 4 8 5 上方の液晶の配向は通常のツイスト配向に戻っていた。

【 0 0 5 0 】

また、85℃の高温において液晶表示装置の 1 0 0 時間の信頼性試験を行った後の液晶の配向を図 1 0 及び図 1 1 に示す。ビデオ電圧を ± 1 V に設定して数分駆動して、駆動電源を切った後も、液晶の配向が固定された領域は見られなかった。つまり、図 1 1 (A) 及び図 1 1 (C) に示すように、第 1 の電極 4 8 5 上

方の液晶の配向に特に異常は無い。図 1 1 (B) において、駆動時にゲート配線の電圧により液晶がスイッチングしている領域を 6 0 6 で示す。図示してはいないが、± 5 V の振幅のビデオ電圧を印加した後に駆動電源を切っても、液晶の配向は固定されて残らず、通常の状態に戻った。

【 0 0 5 1 】

駆動電源を切った後の、第 1 の電極 4 8 5 上方の液晶の配向を、図 1 0 (C) 及び図 1 1 (C) と、図 1 8 (C) 及び図 1 9 (C) において比較すると本発明の有用性が良くわかる。つまり、本発明により、図 1 8 (C) 及び図 1 9 (C) において見られた、第 1 の電極 4 8 5 上方の液晶の配向が固定された領域がほとんどなくなり、駆動電源を切っても液晶の配向が固定されて残らず、元に戻った。

【 0 0 5 2 】

図 1 8 (C) 及び図 1 9 (C) において、第 1 の電極 4 8 5 の面積の 7 0 % が第 2 の電極 4 9 2 と重なっている。これにより、駆動電源を切った後に配向が固定されて残る領域が実用の問題のない範囲にまで低減した。もちろん、第 1 の電極 4 8 5 の面積と重なる第 2 の電極 4 9 2 の面積を増やすほど、液晶の配向が固定されて残る領域が少なくなる。

【 0 0 5 3 】

また、図 1 8 (C) 及び図 1 9 (C) において、保持容量 5 0 5 の面積の 9 0 % が第 2 の電極 4 9 2 と重なっている。これにより、駆動電源を切った後に配向が固定されてのこる領域が実用の問題のない範囲にまで低減した。もちろん、保持容量 5 0 5 の面積と重なる第 2 の電極 4 9 2 の面積を増やすほど、液晶の配向が固定されて残る領域が少なくなる。

【 0 0 5 4 】

上述の現象の原理を、図 1 及び図 2 を用いて説明する。

【 0 0 5 5 】

図 2 は、本発明との比較のために用いる図である。図 2 の素子構造の断面図は図 1 6 及び図 1 7 の上面図を鎖線 C-C' で切断したものである。

【 0 0 5 6 】

図 2 において、液晶表示装置の対向基板は、基板 7 0 1 と、基板 7 0 1 に形成された透明電極をパターンニングしてできる対向電極 7 0 2 よりなる。対向基板とアクティブマトリクス基板には配向膜 7 0 3 が形成されている。配向膜のラビング方向 7 0 5 及び 7 0 6 は任意に設定できるが、便宜的にラビング方向が直交するものとする。液晶 7 0 4 が基板間に注入されている。液晶はツイスト角が 9 0 ° のツイスト配向をしている。

【 0 0 5 7 】

液晶表示装置をビデオ電圧を ± 5 V にしてゲートライン反転で駆動しているときの液晶の配向を図 2 (A) に示す。ドレイン電極 4 8 2 及び画素電極 4 9 1 と対向電極 7 0 2 の間には - 5 V の電圧がかかっている。ドレイン電極 4 8 2 及び画素電極 4 9 1 上の液晶分子 7 0 7 がスイッチングして基板面に対し垂直に配向をしている。ゲート配線 4 8 1 上は - 8 V の電圧がかかっている。ゲート配線上方の液晶分子は基板面に対し垂直に配向している。第 1 の電極 4 8 5 上方は、第 1 の層間絶縁膜 4 7 2 及び第 2 の層間絶縁膜 4 7 3 による電圧損失は若干あるものの、液晶のしきい値電圧以上の電圧がかかり、液晶が電界により応答している。第 2 の電極 4 9 2 上方は第 2 の電極 4 9 2 に接する画素電極の電位である + 5 V がかかっている。

【 0 0 5 8 】

駆動電源を切った後の液晶の配向を図 2 (B) に示す。第 1 の電極 4 8 5 に電荷が残留し、対向電極 7 0 2 との間に縦方向の電界ができる。また、第 1 の電極 4 8 5 と第 2 の電極 4 9 2 若しくはゲート配線 4 8 1 の間に横方向の電界ができる。このような複数の電極と第 1 の電極 4 8 5 の間にできる電界にしたがって液晶分子 7 0 7 が配向する。つまり、第 1 の電極 4 8 5 の上方に液晶分子 7 0 7 の配向が固定されたまま残る。

【 0 0 5 9 】

画素電極 4 9 1、ドレイン電極、ゲート配線 4 8 1 上方の液晶分子 7 0 7 は通常のツイスト配向に戻る。

【 0 0 6 0 】

駆動電源を切った後に、図 2 (B) のように液晶の配向が固定されて残るのは

、駆動電源を切った後に、第 1 の電極上に電荷が残ったときに、第 1 の電極 4 8 5 上の絶縁膜（第 1 の絶縁膜 4 7 2 と第 2 の絶縁膜 4 7 3）の膜厚が $2.0 \mu\text{m}$ 以下と薄かったため、第 1 の電極 4 8 5 に残留した電荷による電界が無視できないくらいに大きく、液晶分子にも電圧が分圧されてかかっていたためと考えられる。

【 0 0 6 1 】

また、第 1 の電極 4 8 5 とゲート配線 4 8 1 が、コンタクトホールを介して接続していることから、接触抵抗等が高く、構造的な要因から第 1 の電極上の電荷が放電されにくかったと考えられる。

【 0 0 6 2 】

特に、保持容量 5 0 5 上方で液晶の配向が固定された減少が見られたが、これは、第 1 の電極 4 8 5 と第 2 の半導体膜 4 9 3 を保持容量の容量電極として蓄積された電荷が、駆動電源を切っても放電されにくかったためと考えられる。

【 0 0 6 3 】

本発明の、画素部における特徴を示す断面を図 1 に示す。図 1 の断面図は、図 4 及び図 5 の画素部を有するアクティブマトリクス基板を用いて、透過型の液晶表示装置を作製したものである。図 4 及び図 5 のアクティブマトリクス基板を鎖線 C-C' で切断した断面を示している。

【 0 0 6 4 】

図 1 において、液晶表示装置の対向基板は、基板 7 0 1 と基板 7 0 1 に形成された透明電極をパターンニングしてできる対向電極 7 0 2 よりなる。対向基板とアクティブマトリクス基板には配向膜 7 0 3 が形成されている。配向膜のラビング方向 7 0 5 及び 7 0 6 は直交する。基板間には液晶 7 0 4 が注入されている。

【 0 0 6 5 】

液晶表示装置をビデオ電圧を $\pm 5 \text{V}$ にしてゲートライン反転で駆動しているときの液晶の配向を図 1 (A) に示す。ドレイン電極 4 8 2 及び画素電極 4 9 1 は -5V の電位を有する。隣接する画素の画素電極と接する第 2 の電極 4 9 2 は $+5 \text{V}$ の電位を有する。ゲート配線 4 8 1 は -8V の電位を有する。液晶分子 7 0 7 が基板面に対し垂直に配向するのに十分な電圧がかかっている。

【 0 0 6 6 】

駆動電源を切った後の液晶の配向を図 1 (B) に示す。第 1 の電極 4 8 5 上に残留した電荷があっても、ゲート電極上方においては第 2 の電極 4 9 2 によりこの電荷による電界が遮蔽される。このため、第 1 の電極 4 8 5 上方の液晶の配向は電圧が 0 V の時に示す、ツイスト配向をしている。

【 0 0 6 7 】

液晶分子の配向を図 1 (B) と図 2 (B) において比較すると、本発明の効果が良く分かる。本発明を適用した、図 1 (B) の構成は、駆動電源を切った後に第 1 の電極 4 8 5 に電荷が残留してできる電界を第 2 の電極 4 9 2 が遮蔽し、液晶層に電界が漏洩するのを防止する効果がある。これにより、駆動電源を切ったのちに、液晶の配向が固定されて残らず、もとの配向に戻る。

【 0 0 6 8 】

本発明は、画素電極下の絶縁膜が薄いときに、絶縁膜下の第 1 の電極に残留した電荷によりできる電界による液晶の応答が無視できないこと、さらに、ゲート配線と第 1 の電極がコンタクトホールを介して接続しているため接触抵抗等が大きく第 1 の電極上に電荷が残留しやすいことから、第 2 の電極により第 1 の電極に残留した電荷を遮蔽した。また、保持容量に蓄積された電荷が放電されず残りやすいことから、第 2 の電極が保持容量上方で重なるようにした。

【 0 0 6 9 】

本発明により、長期信頼性試験においても、配向が固定されて残るような不安定な要素を低減することができた。

【 0 0 7 0 】

なお、図 1、図 4 及び図 5 の構成において、第 1 の電極 4 8 5 はゲート電極及び容量電極としての機能を有する。しかし、本発明の第 1 の電極とはこれに限らず、広くゲート電極と同電位の電圧を有する電極に適用可能である。

【 0 0 7 1 】

また、図 1、図 4 及び図 5 の構成において、第 2 の電極は第 2 の半導体膜 4 9 3 と画素電極 4 9 1 を接続する機能を有する。しかし、本発明の第 2 の電極とはこれに限らない。第 1 の電極上の絶縁膜上に設けられた電極であり、第 1 の電極

上方に形成されており、駆動電源を切った後に第1の電極に残留した電荷による電界を液晶層から遮蔽する機能を有する電極を第2の電極とすることができる。

【0072】

また、図1、図4及び図5の構成において、絶縁膜とは、第1の層間絶縁膜472及び第2の層間絶縁膜473の積層膜を示す。しかし、本発明の絶縁膜とはこれに限らない。単層膜、二層以上の絶縁膜が積層されたものも本発明の絶縁膜とすることができる。

【0073】

本発明は、液晶表示装置に代表される電気光学装置に適用可能である。電界を印加することにより、表示を行う半導体装置に広く適用可能である。

【0074】

【発明の実施の形態】

本発明の実施形態について、図1、図5を用いて以下に説明する。図5はアクティブマトリクス基板の画素部の上面図を示す。図1は図5の画素部の上面図をB-B'で切断した断面を示す。

【0075】

アクティブマトリクス基板は、行方向に配置されたゲート配線481と、列方向に配置されたソース配線483と、ゲート配線とソース配線の交差部近傍の画素TFTを有する画素部と、nチャネル型TFTやpチャネル型TFTを有する駆動回路とを含む。なお、ゲート配線とはゲート配線481がゲート電極485と電氣的に接続したものを示す。

【0076】

図5のように、画素部においては、第1の半導体膜484と第2の半導体膜493が形成されている。第1の半導体膜484は実用に際しTFT素子の活性層として機能する。第2の半導体膜493は後述する保持容量505の容量電極として機能する。

【0077】

ゲート絶縁膜（図示しない）を形成後、ゲート絶縁膜に接するように、第1の電極485、ソース配線483を形成する。

【 0 0 7 8 】

絶縁膜として、第 1 の層間絶縁膜と第 2 の層間絶縁膜（図示しない）を形成する。第 1 の層間絶縁膜は酸化珪素、酸化窒化珪素のような無機膜を用いる。第 1 の層間絶縁膜の膜厚は 1 0 n m ~ 4 0 0 n m とする。第 2 の層間絶縁膜はアクリル樹脂膜、ポリイミド樹脂膜、ベンゾシクロブテン（B C B）膜のような有機樹脂膜を用いる。第 2 の層間絶縁膜の膜厚は 0 . 8 ~ 1 . 6 μ m である。第 1 の層間絶縁膜と第 2 の層間絶縁膜の二層を合わせた膜厚は 2 . 0 μ m 以下と薄い。以上の材料において第 1 の層間絶縁膜と第 2 の層間絶縁膜の比誘電率は 3 . 0 ~ 4 . 0 である。

【 0 0 7 9 】

次に、第 1 の層間絶縁膜と第 2 の層間絶縁膜をパターニングして、コンタクトホール 8 0 1 ~ 8 0 5 を形成する。

【 0 0 8 0 】

次に、導電体膜を形成後、パターニングによりゲート配線 4 8 1、接続電極 4 8 0、第 2 の電極 4 9 2、ドレイン電極 4 8 2 を形成する。

【 0 0 8 1 】

コンタクトホール 8 0 1 と 8 0 2 により、第 1 の半導体膜 4 8 4 とソース配線 4 8 3 が接続電極 4 8 0 を介して電氣的に接続する。

【 0 0 8 2 】

コンタクトホール 8 0 3 により、第 1 の半導体膜 4 8 4 とドレイン電極 4 8 2 が電氣的に接続する。

【 0 0 8 3 】

コンタクトホール 8 0 4 により、第 2 の半導体膜 4 9 3 と第 2 の電極 4 9 2 が電氣的に接続する。

【 0 0 8 4 】

コンタクトホール 8 0 5 により第 1 の電極 4 8 5 とゲート配線 4 8 1 が電氣的に接続する。

【 0 0 8 5 】

次に、透明電極をパターニングして、画素電極 4 9 1 をドレイン電極 4 8 2、

第2の電極480に重なるように形成する。

【0086】

保持容量については、画素毎に設けられた第2の半導体膜493と第1の電極485を電極とする。ゲート絶縁膜（図示せず）を保持容量の誘電体膜として機能する。第2の半導体膜493は画素電極491と同電位になる。第1の電極485はゲート配線と同電位になる。

【0087】

ここで、駆動電源を切ったのちに残る電荷による電界を遮蔽するために、第2の電極480が第1の電極485の面積の70%以上と重なるようにする。または、第2の電極の代りに、画素電極491又は画素電極及び第2の電極が、第1の電極485の面積の70%以上と重なるようにしても良い。つまり、導電体膜が第1の電極の面積の70%以上と重なるようにすればよい。

【0088】

また第1の層間絶縁膜及び第2の層間絶縁膜が積層された絶縁膜上に第2の電極492が保持容量の面積の少なくとも90%以上と重なるようにすると良い。

【0089】

以上の画素部の構成は5枚のマスクで作製できる。実施例1で後述するように、ポリシリコンをTFT素子の半導体膜に用いると、駆動回路TFTと画素TFTを1枚の基板に作製できる。このとき、CMOSの駆動回路を作製するためにはnチャネル型TFTとpチャネル型TFTが必要である。素子の作製工程によっては、p型を付与する不純物元素をドーピングするマスクとして、さらに1枚の追加マスクが必要である。それでも、図5に示す画素部を有する素子基板を形成するために必要なマスク数は6枚でよい。

【0090】

即ち、1枚目が、第1の半導体膜484及び第2の半導体膜493をパターンニングするマスク、2枚目が、第1の電極485とソース配線483をパターンニングするマスク、3枚目が第1の層間絶縁膜及び第2の層間絶縁膜にコンタクトホール801～804を形成するマスク、4枚目がゲート配線481、ドレイン電極482、第2の電極492及び接続電極480をパターンニングするマスク、5

枚目が画素電極 4 9 1 をパターニングするためのマスクである。さらに、一枚のマスクが p 型不純物のドーピングに使われる。

【 0 0 9 1 】

本実施形態では、透過型の液晶表示装置を示したが、ドレイン電極を反射率の高いアルミ、銀等で形成し、画素電極の機能を持たせて、反射型の液晶表示装置とすることも可能である。

【 0 0 9 2 】

本実施形態のように、第 1 の層間絶縁膜と第 2 の層間絶縁膜の積層である絶縁膜の膜厚が $2.0 \mu\text{m}$ 以下と薄いときは、残留した電荷によりできる電界が液晶層にかかる影響が無視できず、駆動電源を切った後も液晶の配向が固定されて残りやすい。

【 0 0 9 3 】

電氣的には、液晶層と絶縁膜が直列接続していると、絶縁膜の容量が高いほど、液晶層に電圧がかかりやすくなる。第 1 の層間絶縁膜と第 2 の層間絶縁膜の積層である絶縁膜の単位面積あたりの容量が、 $0.018 [\text{mF}/\text{m}^2]$ 以上と大きいため、残留した電荷によりできる電界が液晶層にかかる影響が無視できず、液晶分子にも電圧が分圧されてかかり、駆動電源を切った後も液晶の配向が固定されて残りやすい。

【 0 0 9 4 】

また、第 1 の電極 4 8 5 とゲート配線 4 8 1 が、コンタクトホールを介して接続していることから、接触抵抗等が高く、構造的な要因から第 1 の電極の電荷が放電されにくく、第 1 の電極に電荷が残留しやすい。

【 0 0 9 5 】

このような構造において、第 1 の電極 4 8 5 の面積の 7 0 % 以上が、第 2 の電極 4 9 2 と重なり合うようにすることで、駆動電源を切った後に、第 1 の電極 4 8 5 上方に液晶の配向が固定されて残るような不安定な要素を低減し、液晶表示装置を実用に際し問題のないレベルにすることができる。

【 0 0 9 6 】

また、このような構造において、保持容量 5 0 5 の面積の 9 0 % 以上が、第 2

の電極 4 9 2 と重なり合うようにすることで、駆動電源を切った後に第 1 の電極 4 8 5 上方に液晶の配向が固定されて残るような不安定な要素を低減し、液晶表示装置を実用に際し問題のないレベルにすることができる。

【 0 0 9 7 】

これは、駆動電源を切った後に電極に残留した電荷による電界を導電体膜で遮蔽し、液晶層に電界が漏洩するのを防ぐことができるからである。

【 0 0 9 8 】

以上の構成でなる本発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【 0 0 9 9 】

【実施例】

[実施例 1]

本発明の実施例を図 7 ～ 9 を用いて説明する。ここでは、画素部の画素 T F T および保持容量と、表示領域の周辺に設けられる駆動回路の T F T を同時に作製する方法について工程に従って詳細に説明する。

【 0 1 0 0 】

本実施例では、画素部のスイッチング素子である画素 T F T と、画素部の周辺に設けられる駆動回路（信号線駆動回路、走査線駆動回路等）の T F T を同一基板上に作製する方法について工程に従って説明する。但し、説明を簡単にするために、駆動回路部にはその基本構成回路である C M O S 回路を、画素部の画素 T F T には n チャネル型 T F T とを、ある経路に沿った断面により図示することにする。

【 0 1 0 1 】

まず、図 7 (A) に示すように、コーニング社の # 7 0 5 9 ガラスや # 1 7 3 7 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板 4 0 0 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜 4 0 1 を形成する。例えば、プラズマ C V D 法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜 4 0 1 a を 1 0 ～ 2 0 0 nm（好ましくは 5 0 ～ 1 0 0 nm）形成し、同様に S

iH_4 、 N_2O から作製される酸化窒化水素化シリコン膜401bを50～200 nm（好ましくは100～150 nm）の厚さに積層形成する。本実施例では下地膜401を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

【0102】

島状半導体膜402～406は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体膜402～406の厚さは25～80 nm（好ましくは30～60 nm）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（SiGe）合金などで形成すると良い。

【0103】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、 YVO_4 レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30 Hzとし、レーザーエネルギー密度を100～400 mJ/cm^2 （代表的には200～300 mJ/cm^2 ）とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1～10 kHzとし、レーザーエネルギー密度を300～600 mJ/cm^2 （代表的には350～500 mJ/cm^2 ）とすると良い。そして幅100～1000 μm 、例えば400 μm で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率（オーバーラップ率）を80～98%として行う。

【0104】

次いで、島状半導体膜402～406を覆うゲート絶縁膜407を形成する。ゲート絶縁膜407はプラズマCVD法またはスパッタ法を用い、厚さを40～150 nmとしてシリコンを含む絶縁膜で形成する。本実施例では、120 nmの厚さの酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層また

は積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Ortho Silicate) と O_2 とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波(13.56MHz)電力密度0.5～0.8W/cm²で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後400～500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0105】

そして、ゲート絶縁膜407上にゲート電極を形成するための第1の導電膜408と第2の導電膜409とを形成する。本実施例では、第1の導電膜408をTa₂N₅で50～100nmの厚さに形成し、第2の導電膜409をWで100～300nmの厚さに形成する。

【0106】

W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に六フッ化タングステン(WF₆)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μΩcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9～20μΩcmを実現することができる。

【0107】

なお、本実施例では、第1の導電膜408をTa₂N₅、第2の導電膜409をWとしたが、いずれもTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の組み合わせとしては、第1の導電膜をタンタル(Ta)で形成し、第2の導電膜をWとする組み合わせ、第1の導電膜を窒化タンタル(Ta₂N₅)で形成し、第2の導電膜をAlとする組み合わせ、第1の導電

膜を窒化タンタル (T a N) で形成し、第 2 の導電膜を C u とする組み合わせなどがある。

【 0 1 0 8 】

次に、レジストによるマスク 4 1 0 ~ 4 1 7 を形成し、電極及び配線を形成するための第 1 のエッチング処理を行う。本実施例では I C P (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスを混合し、1 Pa の圧力でコイル型の電極に 5 0 0 W の R F (13.56 MHz) 電力を投入してプラズマを生成して行う。基板側 (試料ステージ) にも 1 0 0 W の R F (13.56 MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。エッチングガスを適宜選択することにより W 膜及び T a N 膜とも同程度にエッチングされる。

【 0 1 0 9 】

上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第 1 の導電層及び第 2 の導電層の端部がテーパ部の角度が 1 5 ~ 4 5 ° のテーパ形状となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、1 0 ~ 2 0 % 程度の割合でエッチング時間を増加させると良い。W 膜に対する酸化窒化シリコン膜の選択比は 2 ~ 4 (代表的には 3) であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は 2 0 ~ 5 0 nm 程度エッチングされることになる。こうして、第 1 のエッチング処理により第 1 の導電層と第 2 の導電層から成る第 1 の形状の導電層 4 1 9 ~ 4 2 5 (第 1 の導電層 4 1 9 a ~ 4 2 5 a と第 2 の導電層 4 1 9 b ~ 4 2 5 b) を形成する。4 1 8 はゲート絶縁膜であり、第 1 の形状の導電層 4 1 9 ~ 4 2 5 で覆われない領域は 2 0 ~ 5 0 nm 程度エッチングされ薄くなった領域が形成される。

【 0 1 1 0 】

そして、第 1 のドーピング処理を行い、n 型を付与する不純物元素を添加する。(図 7 (B)) ドーピングの方法はイオンドープ法若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14}$ atoms/cm² とし、加速電圧を 6 0 ~ 1 0 0 k e V として行う。n 型を付与する不純物元素として 1 5 族に属する元素、典型的にはリン (P) または砒素 (A s) を用いる

が、ここではリン (P) を用いる。この場合、導電層 4 1 9 ~ 4 2 3 が n 型を付与する不純物元素に対するマスクとなり、自己整合的に第 1 の不純物領域 4 2 7 ~ 4 3 0 が形成される。第 1 の不純物領域 4 2 7 ~ 4 3 0 には $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atomic/cm}^3$ の濃度範囲で n 型を付与する不純物元素を添加する。

【 0 1 1 1 】

次に、図 7 (C) に示すように第 2 のエッチング処理を行う。ICP エッチング法を用い、反応性ガスをチャンバーに導入して、コイル型の電極に所定の RF 電力 (13.56MHz) を供給し、プラズマを生成して行う。基板側 (試料ステージ) には低めの RF (13.56MHz) 電力を投入し、第 1 のエッチング処理に比べ低い自己バイアス電圧を印加する。W 膜を異方性エッチングして第 2 の形状の導電層 4 9 4 ~ 4 9 9 を得る。

【 0 1 1 2 】

さらに、図 7 (C) に示すように第 2 のドーピング処理を行う。この場合、第 1 のドーピング処理よりもドーズ量を下げて高い加速電圧の条件として n 型を付与する不純物元素をドーピングする。例えば、加速電圧を 7 0 ~ 1 2 0 k e V とし、 $1 \times 10^{13} / \text{cm}^2$ のドーズ量で行い、図 7 (B) で島状半導体膜に形成された第 1 の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第 2 の形状の導電層 4 9 4 ~ 4 9 8 を不純物元素に対するマスクとして用い、第 1 の導電層 4 9 4 a ~ 4 9 8 a の下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第 1 の導電層 4 9 4 a ~ 4 9 8 a と重なる第 2 の不純物領域 6 0 8 ~ 6 1 2 を形成する。n 型を付与する不純物元素は、第 2 の不純物領域で $1 \times 10^{17} \sim 1 \times 10^{18} \text{ atomic/cm}^3$ の濃度となるようにする。

【 0 1 1 3 】

図 8 (A) のように、ゲート絶縁膜 4 3 2 をエッチングすることで同時に第 1 の導電層である TaN がエッチングされて後退するので第 3 の形状の導電層 4 3 3 ~ 4 3 8 (第 1 の導電層 4 3 3 a ~ 4 3 8 a と第 2 の導電層 4 3 3 b ~ 4 3 8 b) を形成する。4 3 2 はゲート絶縁膜であり第 3 の形状の導電層 4 3 3 ~ 4 3 8 で覆われない領域はさらに 2 0 ~ 5 0 nm 程度エッチングされ薄くなった領域が形成される。

【 0 1 1 4 】

図 8 (A) において、第 1 の導電層 4 3 3 a ~ 4 3 7 a と重なる第 3 の不純物領域 6 0 0 ~ 6 0 3 と、第 3 の不純物領域の外側にある第 4 の不純物領域 6 0 4 ~ 6 0 7 が形成される。これにより第 3 の不純物領域及び第 4 の不純物領域における n 型を付与する不純物元素の濃度は第 2 の不純物領域における n 型を付与する不純物元素の濃度とほぼ等しくなる。

【 0 1 1 5 】

そして、図 8 (B) に示すように、p チャネル型 T F T を形成する島状半導体膜 4 0 3 に一導電型とは逆の導電型の第 4 の不純物領域 4 5 4 ~ 4 5 6 を形成する。第 3 の形状の導電層 4 3 4 を不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、n チャネル型 T F T を形成する島状半導体膜 4 0 2、4 0 4、4 0 5、4 0 6 はレジストマスク 4 5 1 ~ 4 5 3 で全面を被覆しておく。不純物領域 4 5 5 ~ 4 5 6 にはそれぞれ異なる濃度でリンが添加されているが、ジボラン (B_2H_6) を用いたイオンドープ法により、そのいずれの領域においても不純物濃度を $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms/cm}^3$ となるようにする。

【 0 1 1 6 】

以上の工程により、それぞれの島状半導体膜に不純物領域が形成される。島状半導体膜と重なる導電層 4 3 3 ~ 4 3 7 が T F T のゲート電極として機能する。また、4 3 7 は容量配線、4 3 8 は駆動回路内の配線として機能する。

【 0 1 1 7 】

こうして導電型の制御を目的として図 8 (C) に示すように、それぞれの島状半導体膜に添加された不純物元素を活性化する工程を行う。この工程はファーンズアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法 (R T A 法) を適用することができる。熱アニール法では酸素濃度が 1 p p m 以下、好ましくは 0. 1 p p m 以下の窒素雰囲気中で 4 0 0 ~ 7 0 0 °C、代表的には 5 0 0 ~ 6 0 0 °C で行うものであり、本実施例では 5 0 0 °C で 4 時間の熱処理を行う。ただし、4 3 3 ~ 4 3 8 に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜 (シリコンを主成分

とする)を形成した後で活性化を行うことが好ましい。

【0118】

さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、島状半導体膜を水素化する工程を行う。この工程は熱的に励起された水素により半導体膜のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0119】

そして、図9のように、第1の層間絶縁膜472を酸化窒化シリコン膜で100～200nmの厚さで形成する。その上に有機絶縁物材料から成る第2の層間絶縁膜473としてアクリル樹脂膜又はポリイミド樹脂膜を1.8μmの厚さで形成する。次いで、コンタクトホールを形成するためのエッチング工程を行う。

【0120】

次に、導電性の金属膜をスパッタ法や真空蒸着法で形成する。これは、Ti膜を50～150nmの厚さで形成し、島状半導体膜のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成し、そのTi膜上に重ねてアルミニウム(Al)を300～400nmの厚さで形成し、さらにTi膜または窒化チタン(TiN)膜を100～200nmの厚さで形成して3層構造とした。

【0121】

そして、駆動回路部において島状半導体膜のソース領域とコンタクトを形成するソース配線474～476、ドレイン領域とコンタクトを形成するドレイン配線477～479を形成する。

【0122】

また、画素部においては、接続電極480、ゲート配線481、ドレイン電極482、第2の電極492を形成する。本実施例においては、第1の電極485の面積の70%が第2の電極と重なるようにした。

【0123】

接続電極480は、ソース配線483と第1の半導体膜484と電氣的に接続する。図示してはいないが、ゲート配線481は第1の電極485とコンタクト

ホールにより電氣的に接続する。ドレイン電極 4 8 2 は第 1 の半導体膜 4 8 4 のドレイン領域と電氣的に接続する。第 2 の電極 4 9 2 は第 2 の半導体膜 4 9 3 と電氣的に接続し、第 2 の半導体膜 4 9 3 を保持容量 5 0 5 の電極として機能させる。

【 0 1 2 4 】

その後、透明導電膜を全面に形成し、フォトマスクを用いたパターニング処理およびエッチング処理により画素電極 4 9 1 を形成する。画素電極 4 9 1 は、第 2 の層間絶縁膜 4 7 3 上に形成され、画素 T F T のドレイン電極 4 8 2、第 2 の電極 4 9 2 と重なる部分を設け、接続構造を形成している。

【 0 1 2 5 】

透明導電膜の材料は、酸化インジウム (In_2O_3) や酸化インジウム酸化スズ合金 ($\text{In}_2\text{O}_3\text{--SnO}_2$; I T O) などをスパッタ法や真空蒸着法などを用いて形成して用いることができる。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特に I T O のエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金 ($\text{In}_2\text{O}_3\text{--ZnO}$) を用いても良い。酸化インジウム酸化亜鉛合金は表面平滑性に優れ、I T O に対して熱安定性にも優れているので、ドレイン電極 4 8 2 の端面で接触する A 1 との腐蝕反応を防止できる。同様に、酸化亜鉛 (Z n O) も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム (G a) を添加した酸化亜鉛 (Z n O : G a) などを用いることができる。

【 0 1 2 6 】

このようにして、透過型の液晶表示装置に対応したアクティブマトリクス基板を完成させることができる。

【 0 1 2 7 】

以上のようにして、nチャネル型 T F T 5 0 1、pチャネル型 T F T 5 0 2、nチャネル型 T F T 5 0 3 を有する駆動回路部と、画素 T F T 5 0 4、保持容量 5 0 5 とを有する画素部を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

【 0 1 2 8 】

駆動回路部の n チャンネル型 T F T 5 0 1 はチャンネル形成領域 4 6 8、ゲート電極を形成する導電層 4 3 3 と重なる第 3 の不純物領域 4 4 1 (G O L D 領域)、ゲート電極の外側に形成される第 4 の不純物領域 4 4 6 (L D D 領域) とソース領域またはドレイン領域として機能する第 1 の不純物領域 4 2 7 を有している。

p チャンネル型 T F T 5 0 2 にはチャンネル形成領域 4 6 9、ゲート電極を形成する導電層 4 3 4 と重なる第 5 の不純物領域 4 5 6、ソース領域またはドレイン領域として機能する第 6 の不純物領域 4 5 5 を有している。n チャンネル型 T F T 5 0 3 にはチャンネル形成領域 4 7 0、ゲート電極を形成する導電層 4 3 5 と重なる第 3 の不純物領域 4 4 3 (G O L D 領域)、ゲート電極の外側に形成される第 4 の不純物領域 4 4 8 (L D D 領域) とソース領域またはドレイン領域として機能する第 1 の不純物領域 4 2 9 を有している。

【 0 1 2 9 】

画素部の画素 T F T 5 0 4 にはチャンネル形成領域 4 7 1、ゲート電極を形成する導電層 4 3 6 と重なる第 3 の不純物領域 4 4 4 (G O L D 領域)、ゲート電極の外側に形成される第 4 の不純物領域 4 4 9 (L D D 領域) とソース領域またはドレイン領域として機能する第 1 の不純物領域 4 3 0 を有している。また、保持容量 5 0 5 の一方の電極として機能する半導体膜 4 3 0 には n 型を付与する不純物元素が添加されている。容量配線 4 3 7 とその間の絶縁層 (ゲート絶縁膜と同じ層) とで保持容量を形成している。

【 0 1 3 0 】

図 9 の鎖線 A - A'、鎖線 D - D' で切断した断面は、図 5 の上面図を鎖線 A - A'、鎖線 D - D' で切断した断面に対応する。

【 0 1 3 1 】

本実施例のアクティブマトリクス基板を、実施例 3 の方法にしたがって透過型の液晶表示装置にしたときに、第 1 の電極とゲート配線がコンタクトホールを介して接続していることにより、高いコンタクト抵抗が原因で、駆動電源を切った後に第 1 の電極上に電荷が残留しやすい。また、第 1 の層間膜及び第 2 の層間膜が薄いことにより、容量が大きくなり、駆動電源を切った後も、電極に残留した電荷により、直列接続した液晶に無視できないくらいに電圧がかかる。しかし、

第 2 の電極を第 1 の電極 4 8 5 の面積の 7 0 % と重ねることで、電極上に残留した電荷による電界を遮蔽することが出来る。

【 0 1 3 2 】

第 2 の電極を第 1 の電極 4 8 5 の面積の 7 0 % と広い面積で第 2 の電極と第 1 の電極 4 8 5 を重ねることで、駆動電源を切った後に配向が固定されて残る不安定な要因を低減することができた。

【 0 1 3 3 】

[実施例 2]

実施例 1 で作製したアクティブマトリクス基板の作製方法を反射型の液晶表示装置に適用することができる。

【 0 1 3 4 】

まず、実施例 1 の図 7 ～図 8 にしたがって工程を進め、図 8 (C) の構造を得る。

【 0 1 3 5 】

そして、図 1 5 のように、第 1 の層間絶縁膜 4 7 2 を酸化窒化シリコン膜で 1 0 0 ～ 2 0 0 n m の厚さで形成する。その上に有機絶縁物材料から成る第 2 の層間絶縁膜 4 7 3 としてアクリル樹脂膜又はポリイミド膜を 1 . 8 μ m の厚さで形成する。次いで、コンタクトホールを形成するためのエッチング工程を行う。

【 0 1 3 6 】

次に、導電性の金属膜をスパッタ法や真空蒸着法で形成する。これは、T i 膜を 5 0 ～ 1 5 0 n m の厚さで形成し、島状半導体膜のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成し、その T i 膜上に重ねてアルミニウム (A l) を 3 0 0 ～ 4 0 0 n m の厚さで形成し、さらに T i 膜または窒化チタン (T i N) 膜を 1 0 0 ～ 2 0 0 n m の厚さで形成して 3 層構造とした。

【 0 1 3 7 】

そして、駆動回路部において島状半導体膜のソース領域とコンタクトを形成するソース配線 4 7 4 ～ 4 7 6 、ドレイン領域とコンタクトを形成するドレイン配線 4 7 7 ～ 4 7 9 を形成する。

【 0 1 3 8 】

また、画素部においては、接続電極480、ゲート配線481、ドレイン電極482を形成する。本実施例においては、ドレイン電極482が反射型液晶表示装置の画素電極としての機能を有している。ドレイン電極482が第1の電極485の面積の70%と重なる。

【0139】

保持容量については、画素毎に設けられた第2の半導体膜493と第1の電極485を電極とする。ゲート絶縁膜（図示せず）を保持容量の誘電体膜として機能する。第2の半導体膜493は画素電極491と同電位になる。第1の電極485はゲート配線と同電位になる。

【0140】

接続電極480は、ソース配線483と第1の半導体膜484と電氣的に接続する。図示してはいないが、ゲート配線481は第1の電極485とコンタクトホールにより電氣的に接続する。ドレイン電極482は第1の半導体膜484のドレイン領域と電氣的に接続する。かつ、ドレイン電極482は第2の半導体膜493と電氣的に接続し、第2の半導体膜493を保持容量505の電極として機能させる。

【0141】

このようにして、反射型の液晶表示装置に対応したアクティブマトリクス基板を完成させることができる。

【0142】

以上のようにして、nチャネル型TFT501、pチャネル型TFT502、nチャネル型TFT503を有する駆動回路部と、画素TFT504、保持容量505とを有する画素部を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

【0143】

駆動回路部のnチャネル型TFT501はチャネル形成領域468、ゲート電極を形成する導電層433と重なる第3の不純物領域441（GOLD領域）、ゲート電極の外側に形成される第4の不純物領域446（LDD領域）とソース領域またはドレイン領域として機能する第1の不純物領域427を有している。

pチャネル型TFT502にはチャネル形成領域469、ゲート電極を形成する導電層434と重なる第5の不純物領域456、ソース領域またはドレイン領域として機能する第6の不純物領域455を有している。nチャネル型TFT503にはチャネル形成領域470、ゲート電極を形成する導電層435と重なる第3の不純物領域443（GOLD領域）、ゲート電極の外側に形成される第4の不純物領域448（LDD領域）とソース領域またはドレイン領域として機能する第1の不純物領域429を有している。

【0144】

画素部の画素TFT504にはチャネル形成領域471、ゲート電極を形成する導電層436と重なる第3の不純物領域444（GOLD領域）、ゲート電極の外側に形成される第4の不純物領域449（LDD領域）とソース領域またはドレイン領域として機能する第1の不純物領域430を有している。また、保持容量505の一方の電極として機能する半導体膜430にはn型を付与する不純物元素が添加されている。容量配線437とその間の絶縁層（ゲート絶縁膜と同じ層）とで保持容量を形成している。

【0145】

図14の上面図の鎖線E-E'、鎖線F-F'で切断した断面は、図15の断面図の鎖線E-E'、鎖線F-F'に対応する。

【0146】

本実施例のアクティブマトリクス基板を実施例3の方法にしたがって、反射型の液晶表示装置にすることができる。本実施例のアクティブマトリクス基板は第1の電極とゲート配線がコンタクトホールを介して接続していることにより、駆動電源を切った後に第1の電極上に電荷が残留しやすい。また、第1の電極と画素電極の間に形成された絶縁膜の膜厚が薄いことから、第1の電極上に残留した電荷によりできる電界が液晶層に無視できないくらいにかかる。しかし、第2の電極を第1の電極485の面積の70%に重ねることで、電極上に残留した電荷による電界を遮蔽し、液晶層に電界が漏洩することを防ぐことができる。

【0147】

[実施例3]

本実施例では、実施例 1 で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を以下に説明する。説明には図 6 を用いる。

【0 1 4 8】

まず、実施例 1 に従い、図 9 の状態のアクティブマトリクス基板を得た後、図 9 のアクティブマトリクス基板上に配向膜 5 1 2 を形成しラビング処理を行う。なお、本実施例では配向膜 5 1 2 を形成する前に、アクリル樹脂膜等の有機樹脂膜をパターンングすることによって基板間隔を保持するための柱状のスペーサを所望の位置に形成した。また、柱状のスペーサに代えて、球状のスペーサを基板全面に散布してもよい。

【0 1 4 9】

次いで、対向基板 5 0 8 を用意する。この対向基板には、着色層、遮光層が各画素に対応して配置されたカラーフィルタが設けられている。また、駆動回路の部分にも遮光層を設けた。このカラーフィルタと遮光層とを覆う平坦化膜を設けた。次いで、平坦化膜上に透明導電膜からなる対向電極 5 1 0 を画素部に形成し、対向基板の全面に配向膜 5 1 1 を形成し、ラビング処理を施した。

【0 1 5 0】

そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール材 5 1 3 で貼り合わせる。シール材 5 1 3 にはフィラーが混入されていて、このフィラーと柱状スペーサによって均一な間隔を持って 2 枚の基板が貼り合わせられる。その後、両基板の間に液晶材料 5 1 4 を注入し、封止剤（図示せず）によって完全に封止する。液晶材料 5 1 4 には公知の液晶材料を用いれば良い。このようにして図 6 に示すアクティブマトリクス型液晶表示装置が完成する。そして、必要があれば、アクティブマトリクス基板または対向基板を所望の形状に分断する。さらに、公知の技術を用いて偏光板等を適宜設けた。そして、公知の技術を用いて F P C を貼りつけた。

【0 1 5 1】

以上のようにして作製される液晶表示パネルは各種電子機器の表示部として用いることができる。

【 0 1 5 2 】

[実施例 4]

上記各実施例 1 乃至 3 のいずれかーを実施して形成された T F T は様々な電気光学装置に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本発明を適用できる。

【 0 1 5 3 】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図 2 2、図 2 3 及び図 2 4 に示す。

【 0 1 5 4 】

図 2 2（A）はパーソナルコンピュータであり、本体 2 0 0 1、画像入力部 2 0 0 2、表示部 2 0 0 3、キーボード 2 0 0 4 等を含む。本発明を表示部 2 0 0 3 に適用することができる。

【 0 1 5 5 】

図 2 2（B）はビデオカメラであり、本体 2 1 0 1、表示部 2 1 0 2、音声入力部 2 1 0 3、操作スイッチ 2 1 0 4、バッテリー 2 1 0 5、受像部 2 1 0 6 等を含む。本発明を表示部 2 1 0 2 に適用することができる。

【 0 1 5 6 】

図 2 2（C）はモバイルコンピュータ（モービルコンピュータ）であり、本体 2 2 0 1、カメラ部 2 2 0 2、受像部 2 2 0 3、操作スイッチ 2 2 0 4、表示部 2 2 0 5 等を含む。本発明は表示部 2 2 0 5 に適用できる。

【 0 1 5 7 】

図 2 2（D）はゴーグル型ディスプレイであり、本体 2 3 0 1、表示部 2 3 0 2、アーム部 2 3 0 3 等を含む。本発明は表示部 2 3 0 2 に適用することができる。

【 0 1 5 8 】

図 2 2（E）はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用

いるプレーヤーであり、本体 2 4 0 1、表示部 2 4 0 2、スピーカ部 2 4 0 3、記録媒体 2 4 0 4、操作スイッチ 2 4 0 5 等を含む。なお、このプレーヤーは記録媒体として DVD (Digital Versatile Disc)、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部 2 4 0 2 に適用することができる。

【 0 1 5 9 】

図 2 2 (F) はデジタルカメラであり、本体 2 5 0 1、表示部 2 5 0 2、接眼部 2 5 0 3、操作スイッチ 2 5 0 4、受像部 (図示しない) 等を含む。本発明を表示部 2 5 0 2 に適用することができる。

【 0 1 6 0 】

図 2 3 (A) はフロント型プロジェクターであり、投射装置 2 6 0 1、スクリーン 2 6 0 2 等を含む。本発明は投射装置 2 6 0 1 の一部を構成する液晶表示装置 2 8 0 8 やその他の駆動回路に適用することができる。

【 0 1 6 1 】

図 2 3 (B) はリア型プロジェクターであり、本体 2 7 0 1、投射装置 2 7 0 2、ミラー 2 7 0 3、スクリーン 2 7 0 4 等を含む。本発明は投射装置 2 7 0 2 の一部を構成する液晶表示装置 2 8 0 8 やその他の駆動回路に適用することができる。

【 0 1 6 2 】

なお、図 2 3 (C) は、図 2 3 (A) 及び図 2 3 (B) 中における投射装置 2 6 0 1、2 7 0 2 の構造の一例を示した図である。投射装置 2 6 0 1、2 7 0 2 は、光源光学系 2 8 0 1、ミラー 2 8 0 2、2 8 0 4 ~ 2 8 0 6、ダイクロイックミラー 2 8 0 3、プリズム 2 8 0 7、液晶表示装置 2 8 0 8、位相差板 2 8 0 9、投射光学系 2 8 1 0 で構成される。投射光学系 2 8 1 0 は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図 2 3 (C) 中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IR フィルム等の光学系を設けてもよい。

【 0 1 6 3 】

また、図 2 3 (D) は、図 2 3 (C) 中における光源光学系 2 8 0 1 の構造の一例を示した図である。本実施例では、光源光学系 2 8 0 1 は、リフレクター 2 8 1 1、光源 2 8 1 2、レンズアレイ 2 8 1 3、2 8 1 4、偏光変換素子 2 8 1 5、集光レンズ 2 8 1 6 で構成される。なお、図 2 3 (D) に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、I R フィルム等の光学系を設けてもよい。

【0 1 6 4】

ただし、図 2 3 に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置での適用例は図示していない。

【0 1 6 5】

図 2 4 (A) は携帯電話であり、本体 2 9 0 1、音声出力部 2 9 0 2、音声入力部 2 9 0 3、表示部 2 9 0 4、操作スイッチ 2 9 0 5、アンテナ 2 9 0 6 等を含む。本発明を表示部 2 9 0 4 に適用することができる。

【0 1 6 6】

図 2 4 (B) は携帯書籍（電子書籍）であり、本体 3 0 0 1、表示部 3 0 0 2、3 0 0 3、記憶媒体 3 0 0 4、操作スイッチ 3 0 0 5、アンテナ 3 0 0 6 等を含む。本発明は表示部 3 0 0 2、3 0 0 3 に適用することができる。

【0 1 6 7】

図 2 4 (C) はディスプレイであり、本体 3 1 0 1、支持台 3 1 0 2、表示部 3 1 0 3 等を含む。本発明は表示部 3 1 0 3 に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角 1 0 インチ以上（特に 3 0 インチ以上）のディスプレイには有利である。

【0 1 6 8】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1 ～ 3 のどのような組み合わせからなる構成を用いても実現することができる。

【0 1 6 9】

【発明の効果】

以上のように、本発明を用いれば、第 1 の電極上に残留した電荷によりできる電界を第 2 の電極により遮蔽することにより、電極上に残留した電荷によりできる電界により、液晶の配向が変化し、その配向が固定されて残る現象を低減させることができる。これにより、液晶の劣化を低減し、表示品位の高い表示装置を実現することができる。

【図面の簡単な説明】

- 【図 1】 本発明の原理を説明する図。
- 【図 2】 本発明の原理を説明するための比較の図。
- 【図 3】 液晶表示装置のゲート配線に印加される信号を示す図。
- 【図 4】 本発明の画素部上面図を示す図。
- 【図 5】 本発明の画素部上面図を示す図。
- 【図 6】 液晶表示装置を示す断面図。
- 【図 7】 薄膜トランジスタの作製工程断面図を示す図。
- 【図 8】 薄膜トランジスタの作製工程断面図を示す図。
- 【図 9】 薄膜トランジスタの作製工程断面図を示す図。
- 【図 10】 本発明の液晶表示装置を高温信頼性試験にかけた後の液晶の配向を示す写真。
- 【図 11】 本発明の液晶表示装置を高温信頼性試験にかけた後の液晶の配向を示す上面図。
- 【図 12】 本発明の液晶表示装置の液晶の配向を示す写真。
- 【図 13】 本発明の液晶表示装置の液晶の配向を示す上面図。
- 【図 14】 本発明の画素部上面図を示す図。
- 【図 15】 本発明の画素部断面図を示す図。
- 【図 16】 画素部上面図を示す図。
- 【図 17】 画素部上面図を示す図。
- 【図 18】 液晶表示装置を高温信頼性試験にかけた後の液晶の配向を示す写真。
- 【図 19】 液晶表示装置を高温信頼性試験にかけた後の液晶の配向を示す上面図。

- 【図 2 0】 液晶表示装置の液晶の配向を示す写真。
- 【図 2 1】 液晶表示装置の液晶の配向を示す上面図。
- 【図 2 2】 電子機器の一例を示す図。
- 【図 2 3】 電子機器の一例を示す図。
- 【図 2 4】 電子機器の一例を示す図。

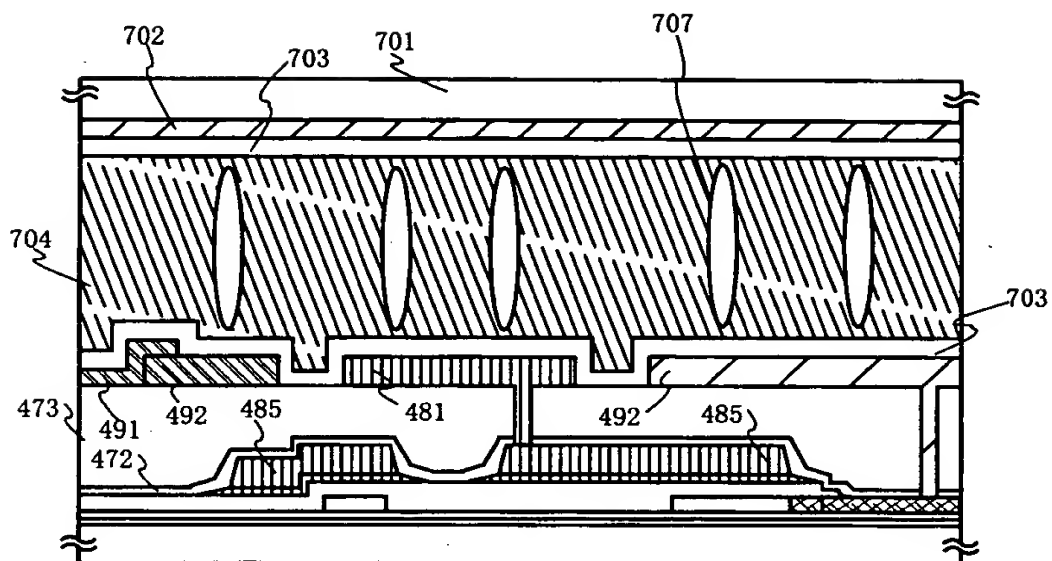
特 2 0 0 0 - 2 4 5 9 8 9

【書類名】

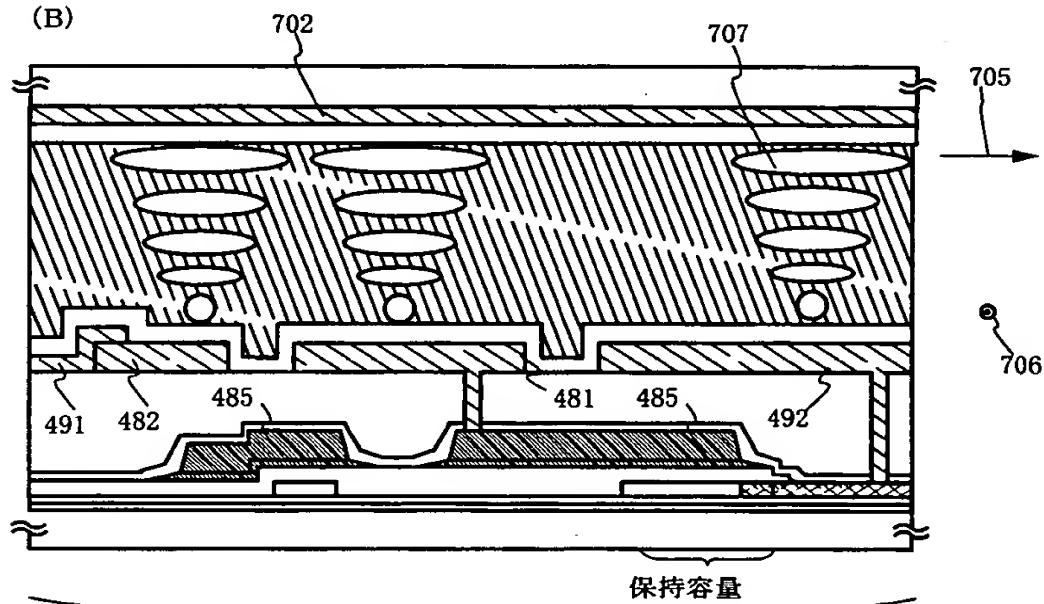
図面

【圖 1】

(A)



(B)



保持容量







B

画素部

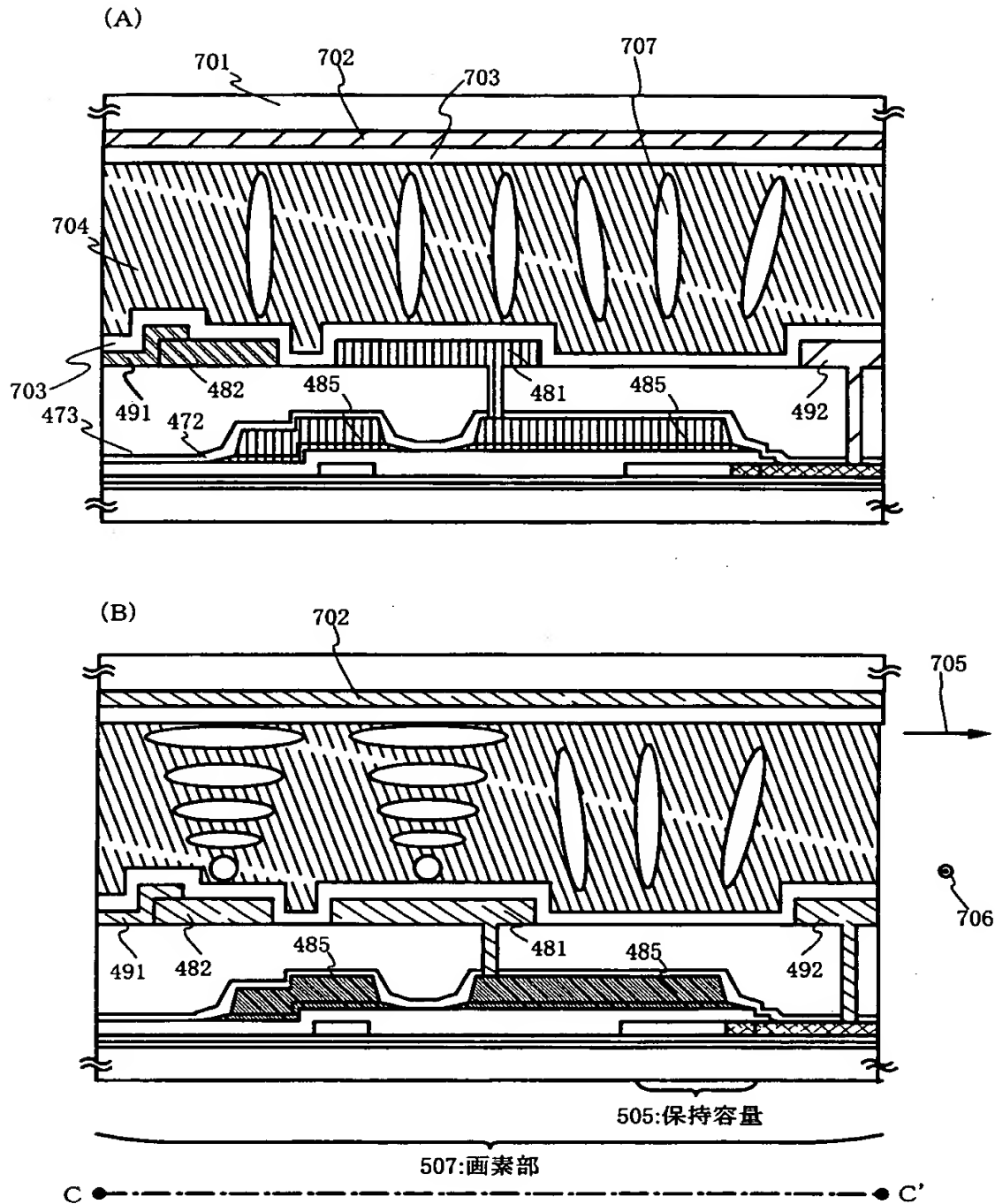
● B'

(A)

(B)

	: -5Vの電位を有する導電体	}	画素電極と 同電位		: 電荷が残留した導電体
	: +5Vの電位を有する導電体			: 電位を持たない導電体	
	: -8Vの電位を有する導電体	}	ゲート配線と 同電位		
	: 0Vの電位を有する導電体		}	対向電極と 同電位	

【図 2】

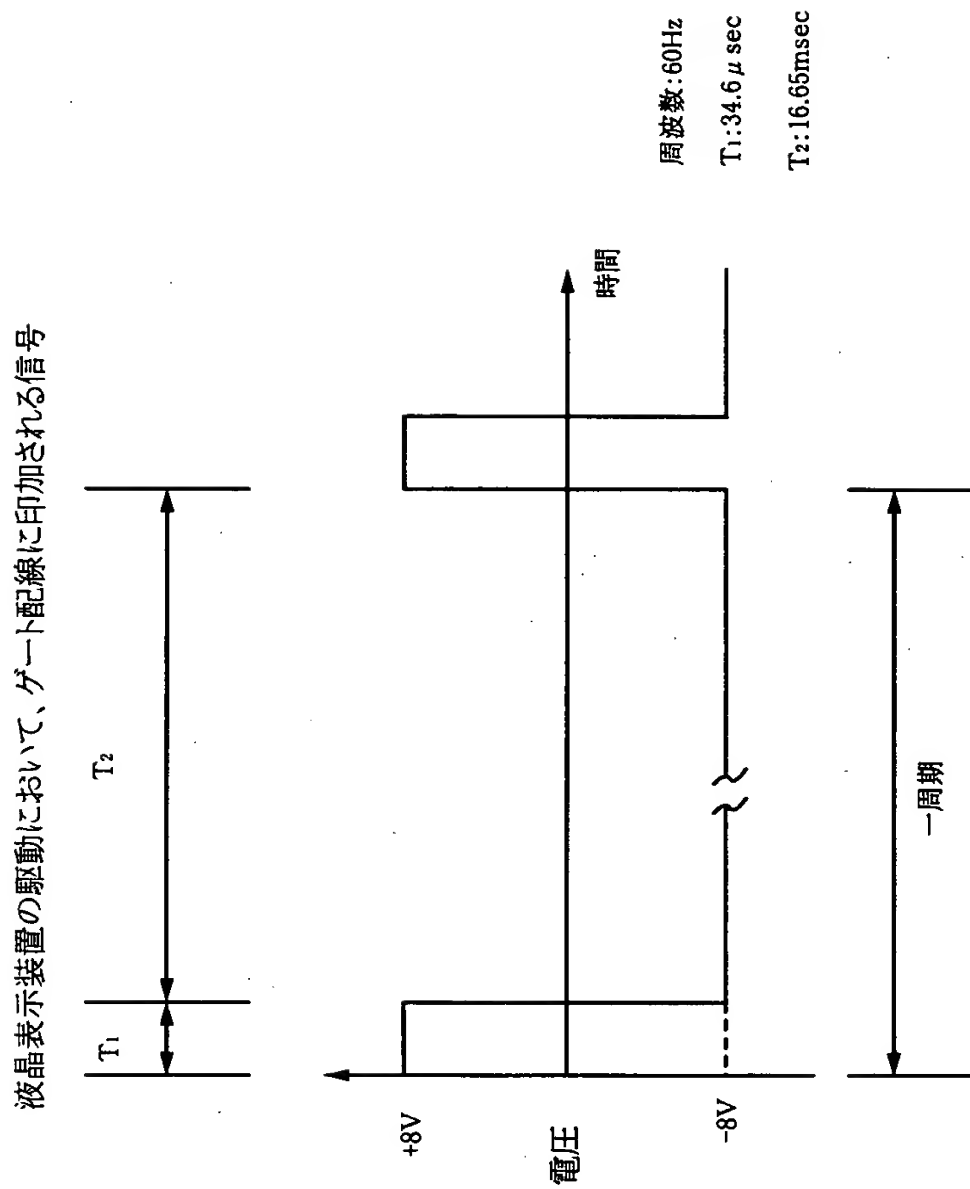


(A)

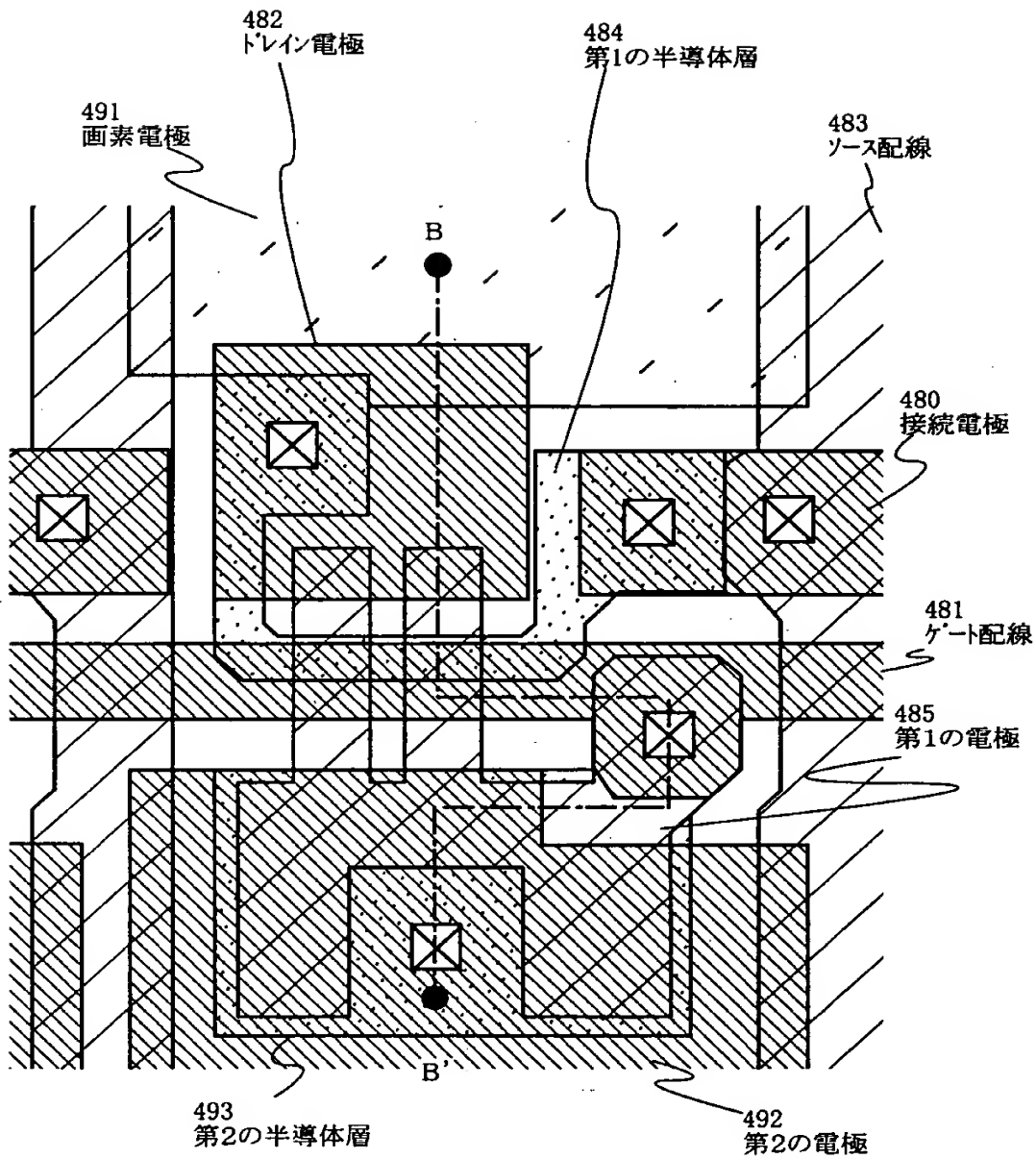
(B)

	: -5Vの電位を有する導電体	}	画素電極と 同電位		: 電荷が残留した導電体
	: +5Vの電位を有する導電体			: 電位を持たない導電体	
	: -8Vの電位を有する導電体	}	ゲート配線と 同電位		
	: 0Vの電位を有する導電体		}	対向電極と 同電位	

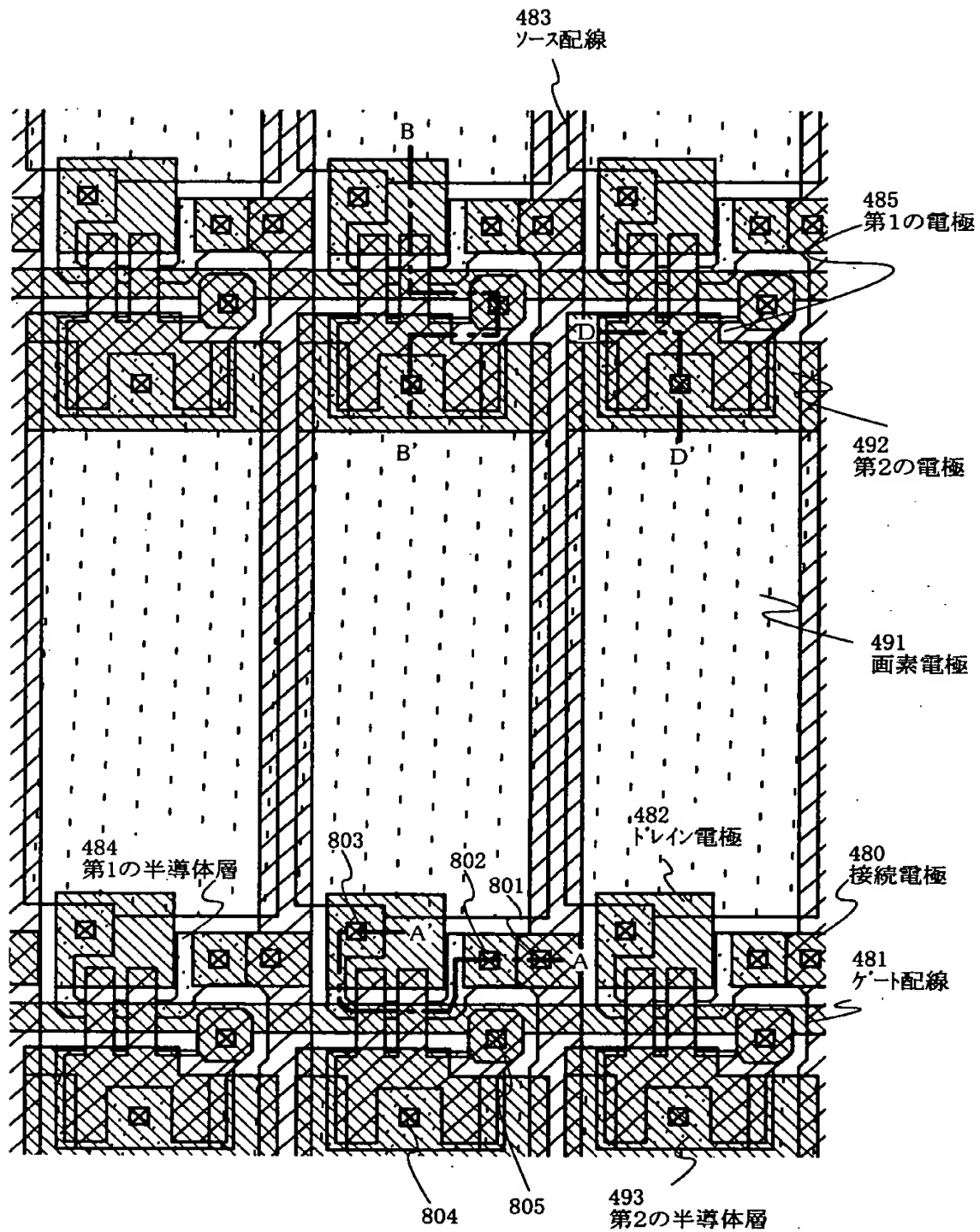
【図 3】



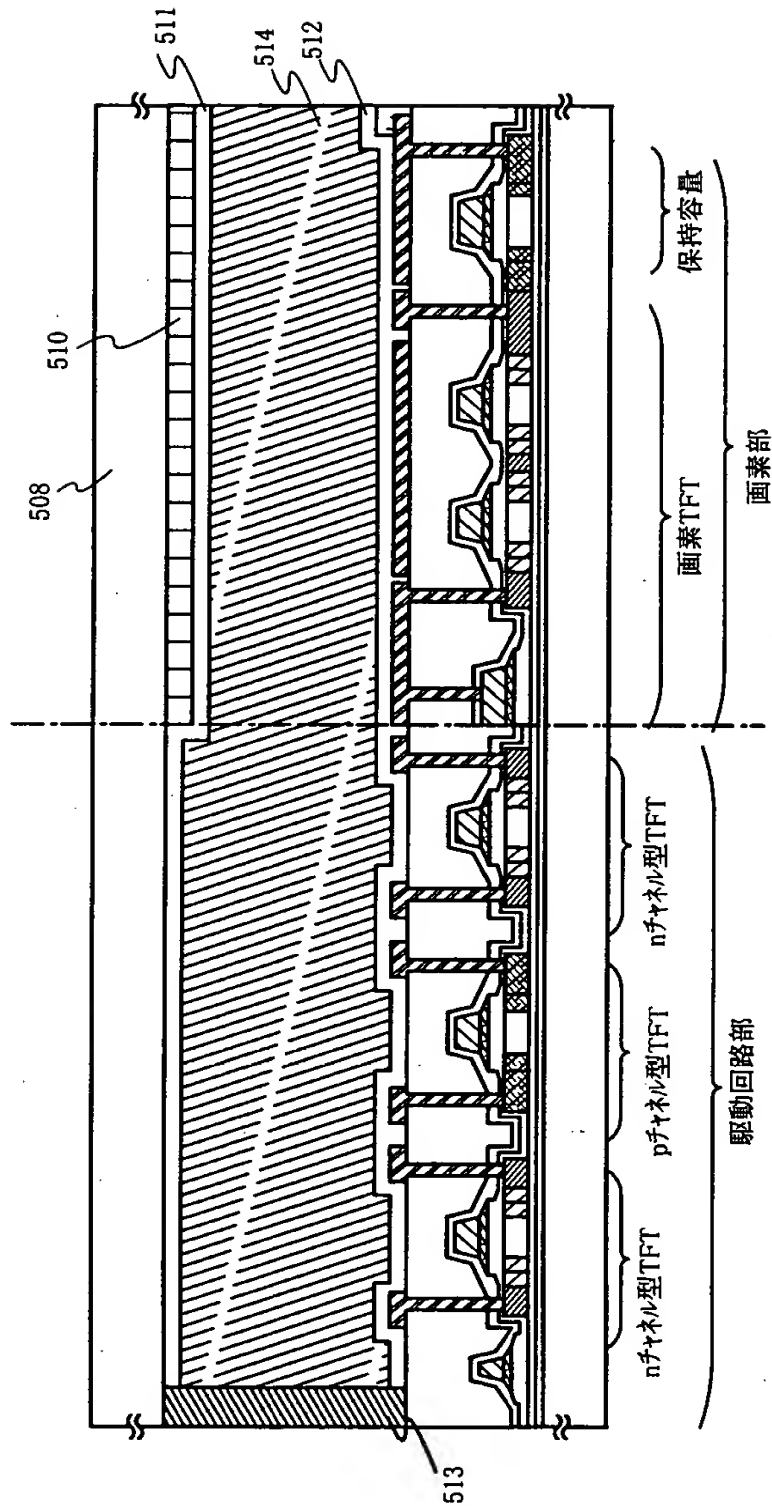
【図4】



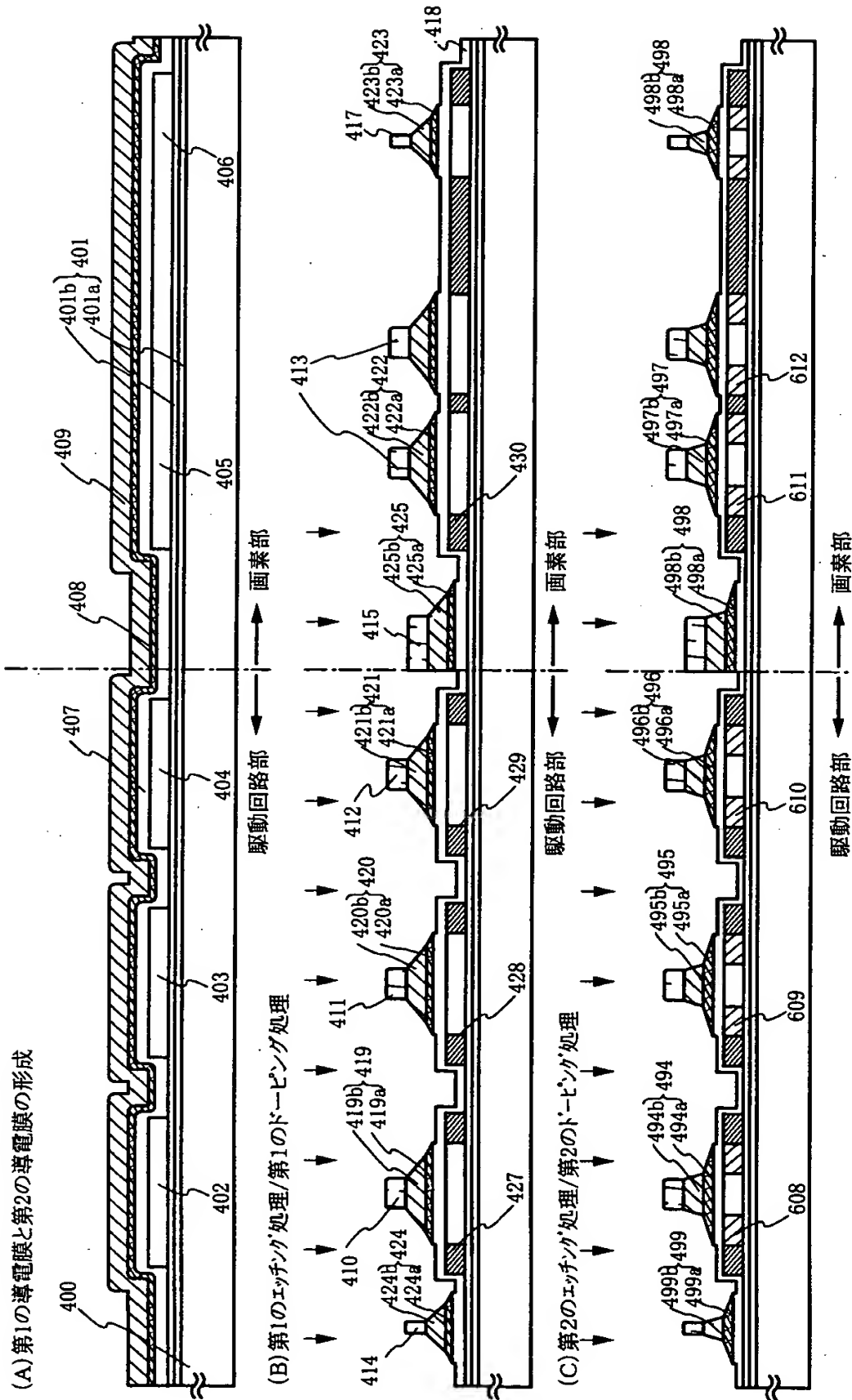
【図5】



【図 6】

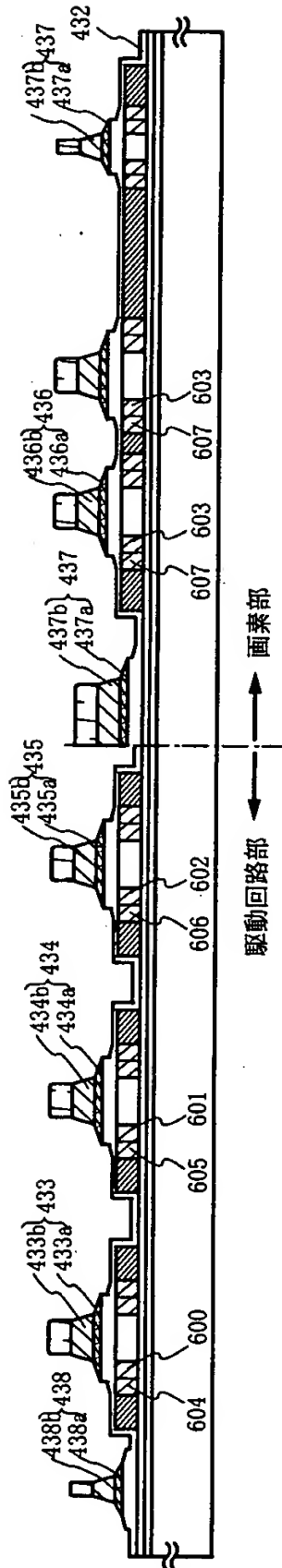


【図 7】

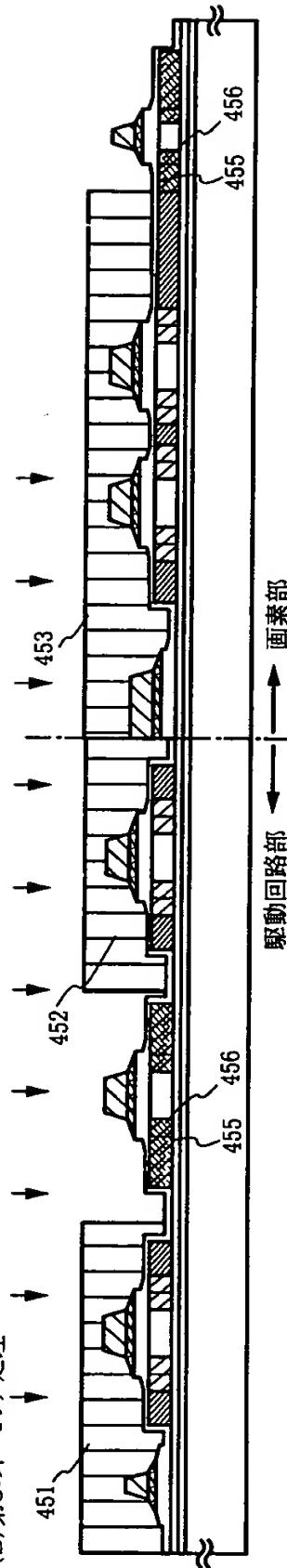


【図 8】

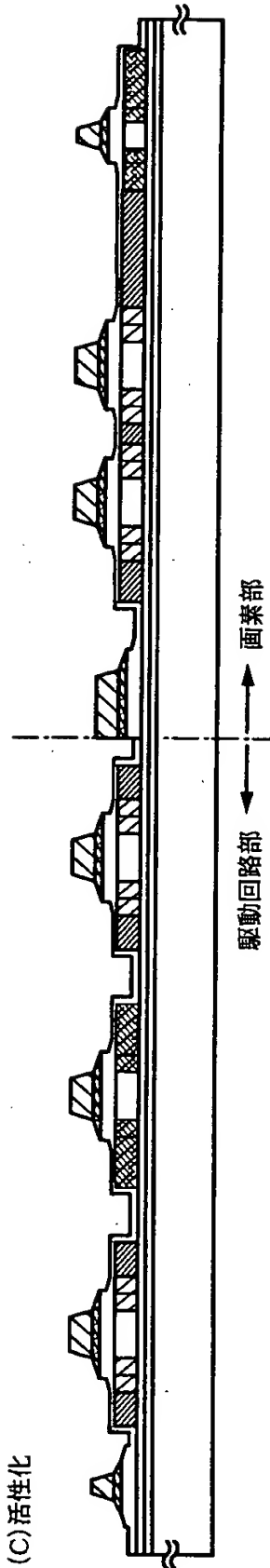
(A) 第3のエッチング処理



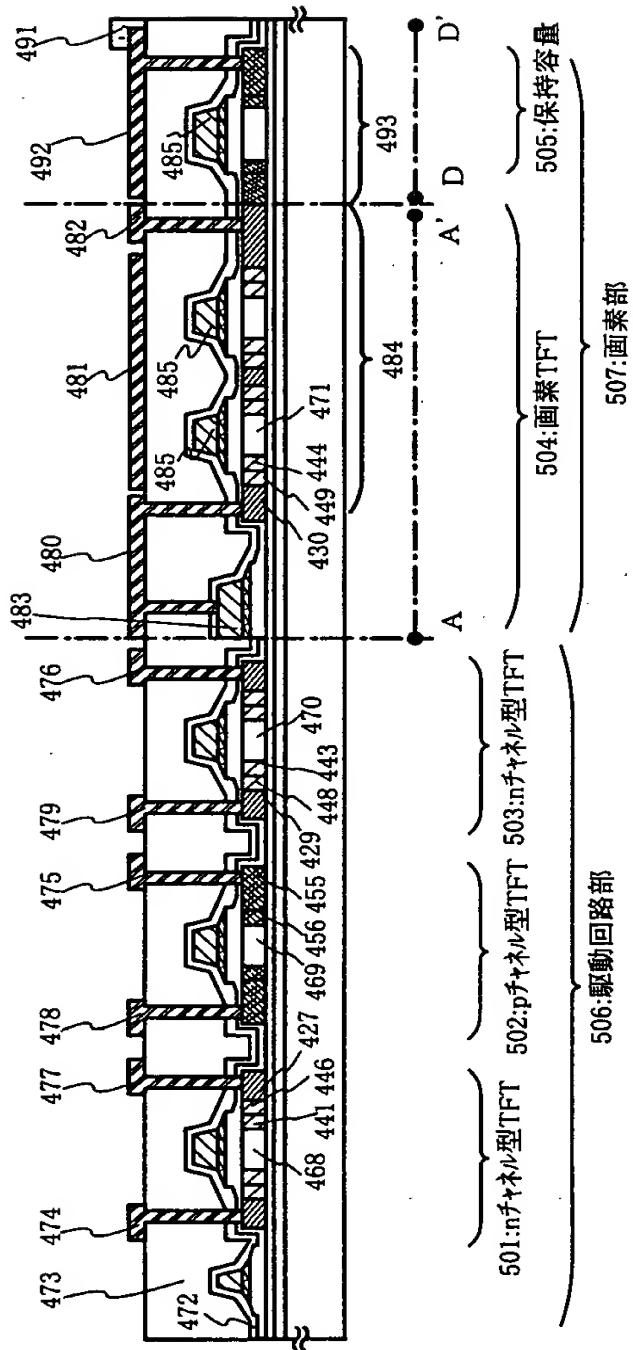
(B) 第3のドレイン処理



(C) 活性化

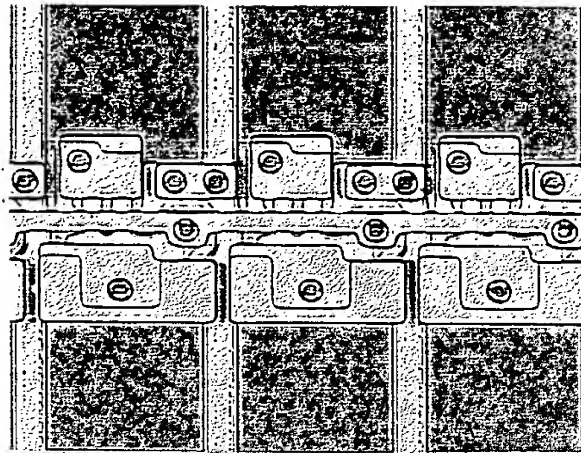


【図9】

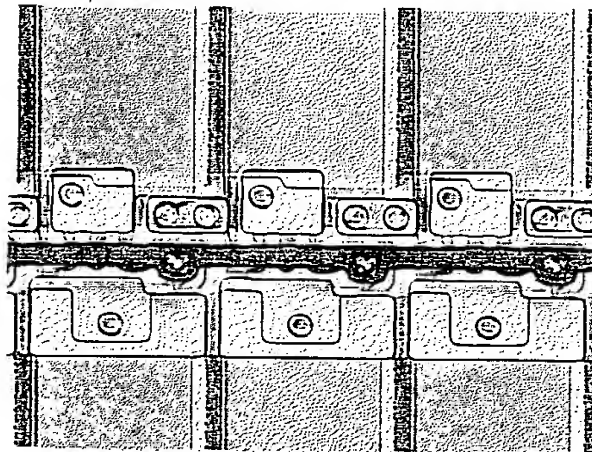


【図 10】

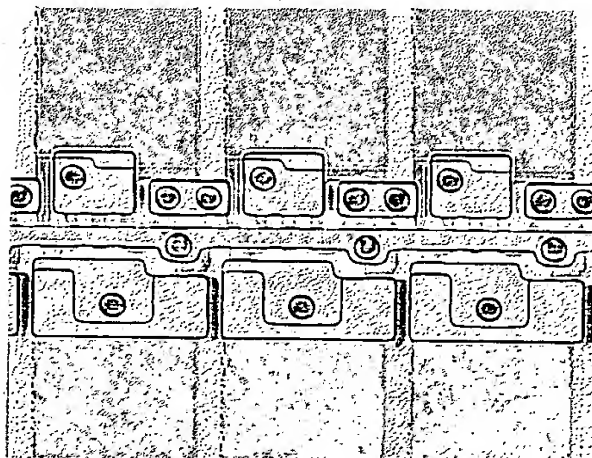
(A) 100時間駆動後、
駆動電源を切った直後



(B) ビデオ電圧を±1V
印加しているとき



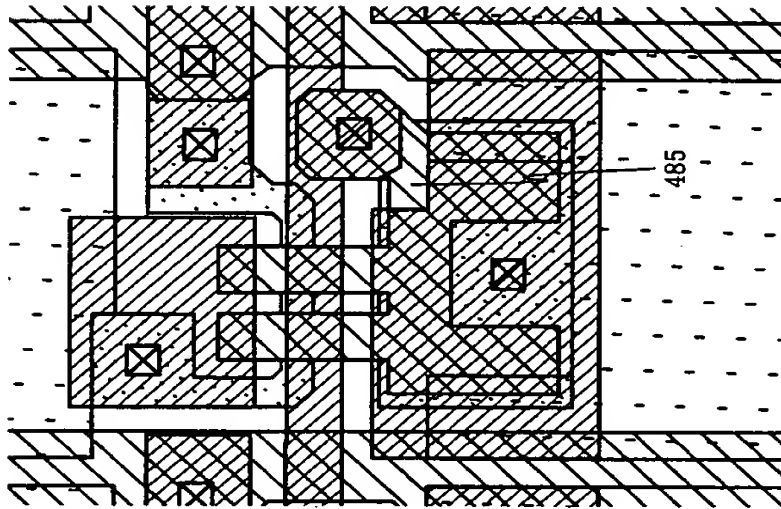
(C) 駆動電源を
切った後



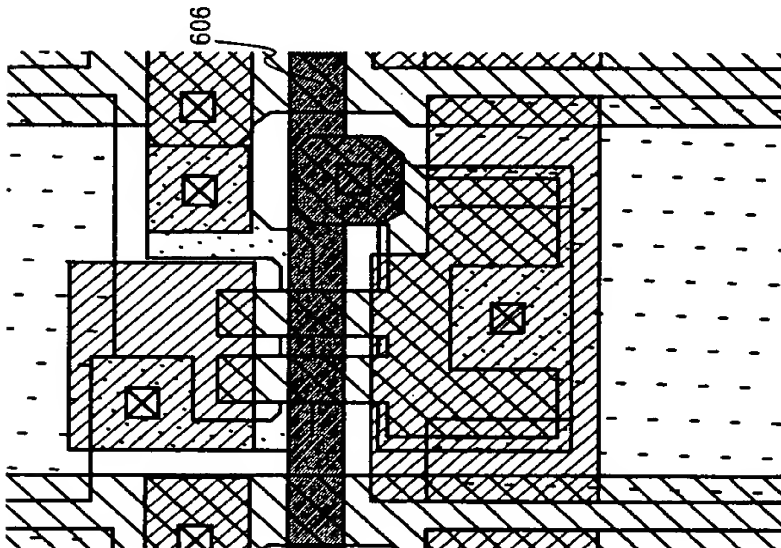
信頼性試験100時間経過後の液晶配向
(85°C ±5V駆動後、液晶 ZLI4792)

【図 11】

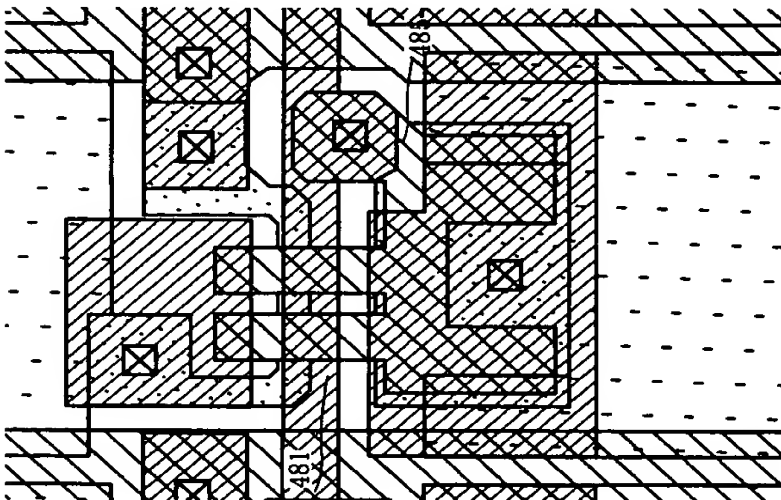
(C) 駆動電源を切った後



(B) ビデオ電圧を±1V印加しているとき



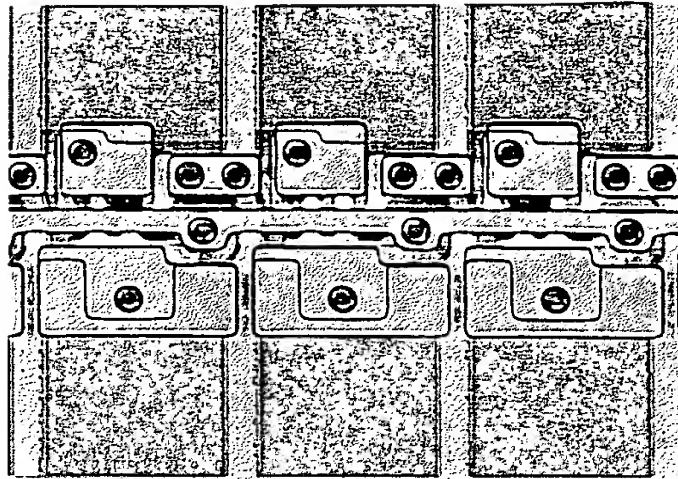
(A) 100時間駆動後、駆動電源を切った直後



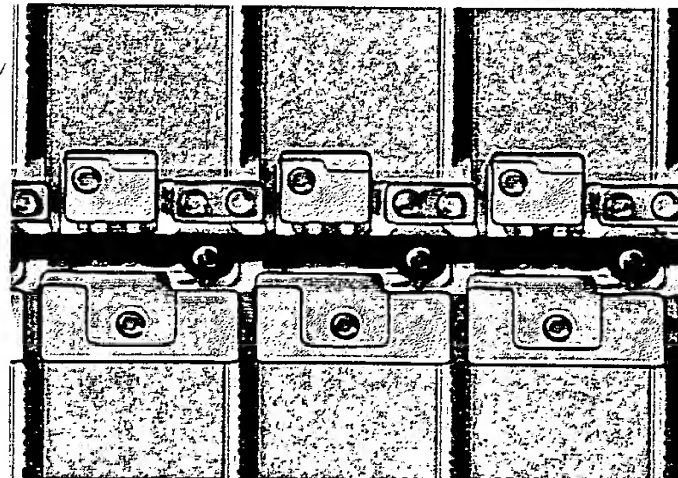
信頼性試験100時間経過後の液晶配向
(85°C ±5V駆動後, 液晶 ZLI4792)

【図 12】

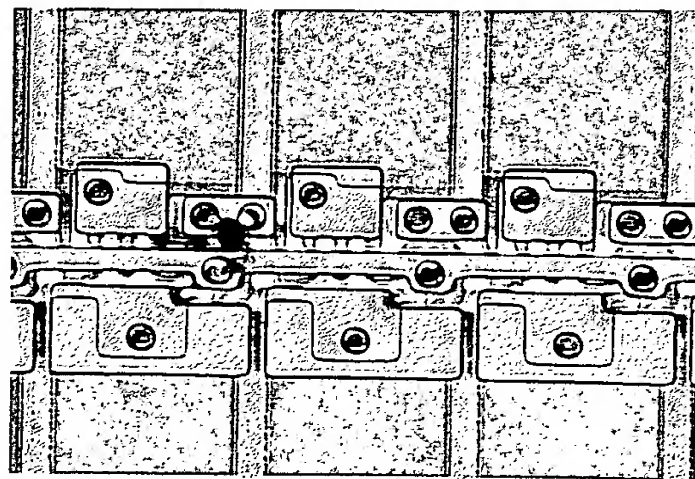
(A) 駆動電源を
入れる前



(B) ビデオ電圧を±1V
印加しているとき



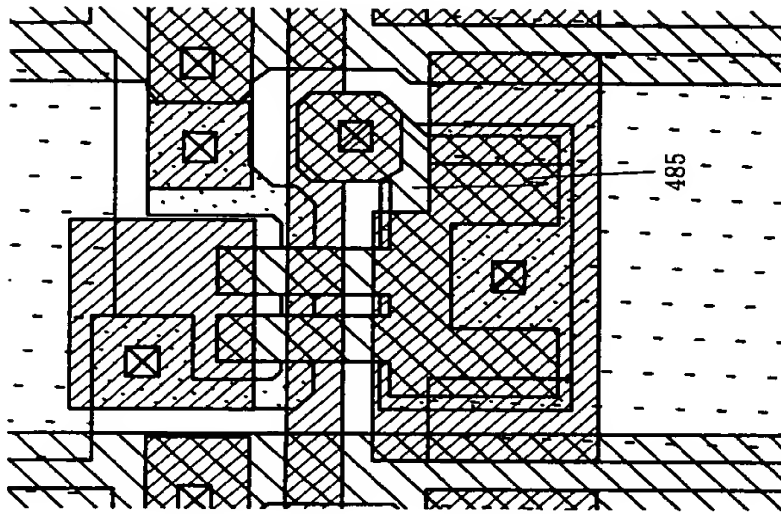
(C) 駆動電源を
切った後



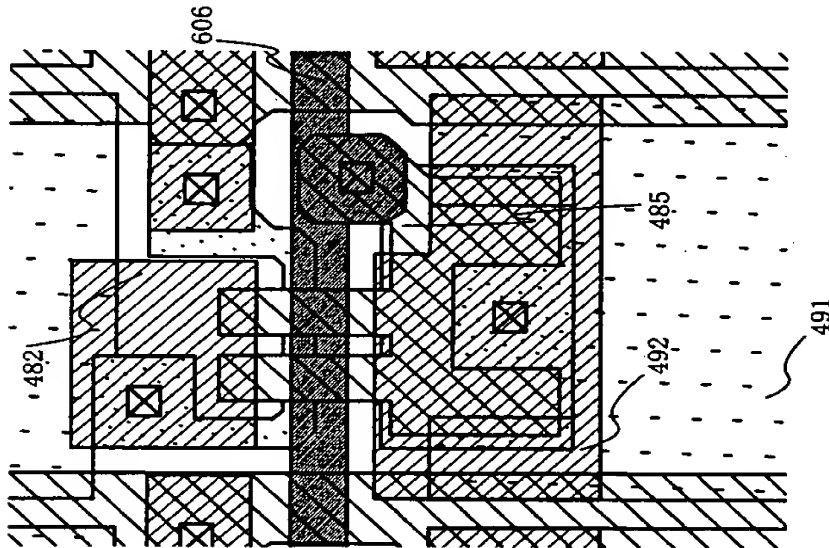
信頼性試験前の液晶配向
(液晶 ZLI4792)

【図 1 3】

(C) 駆動電源を切った後

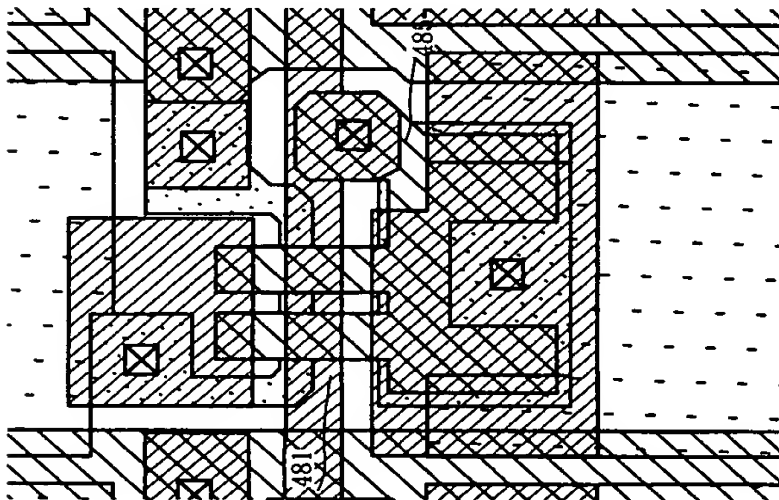


(B) ビデオ電圧を±1V印加しているとき

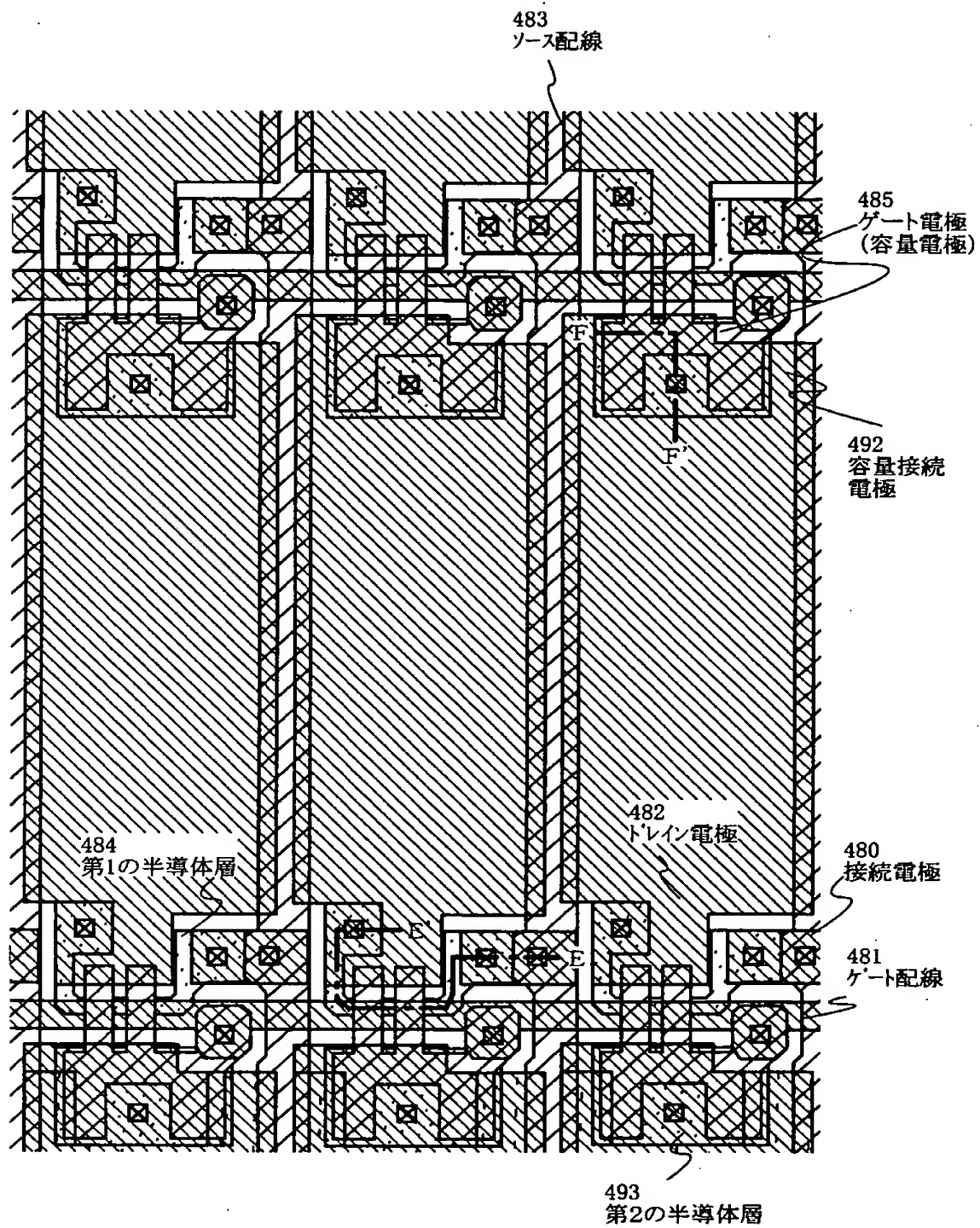


信頼性試験前の液晶配向
(液晶 ZLI4792)

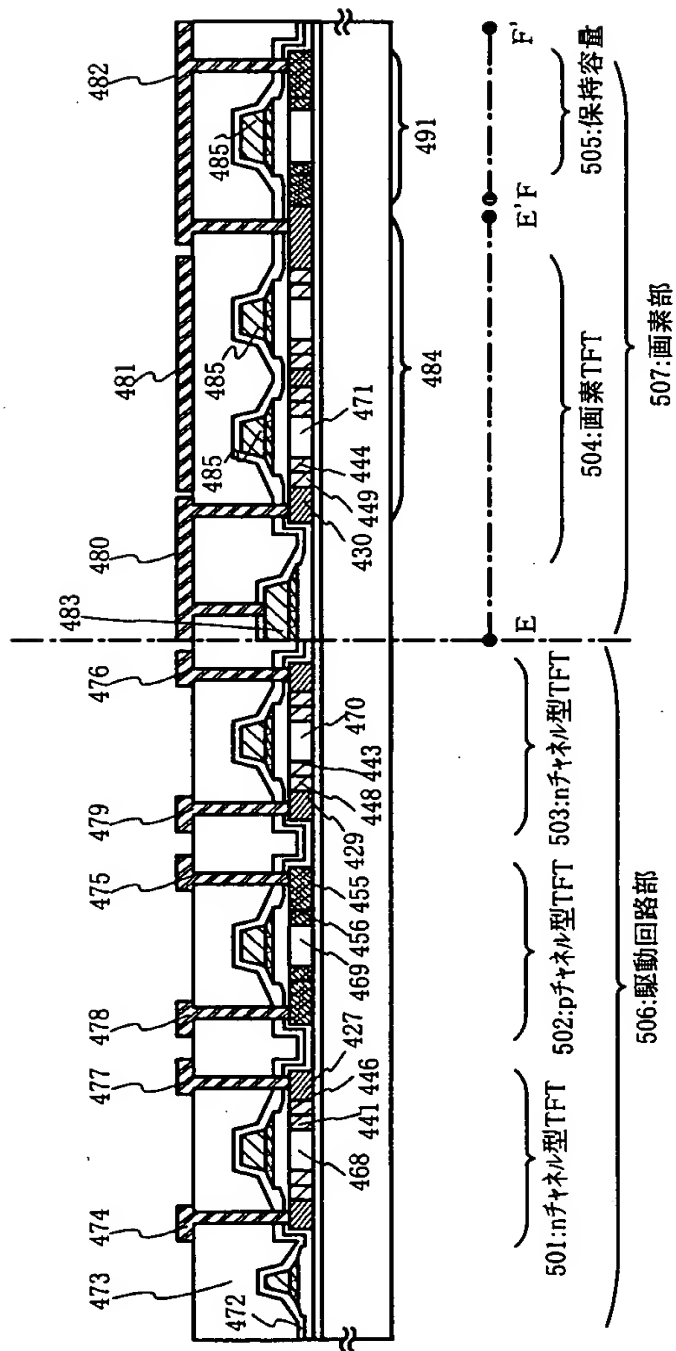
(A) 駆動電源を入れる前



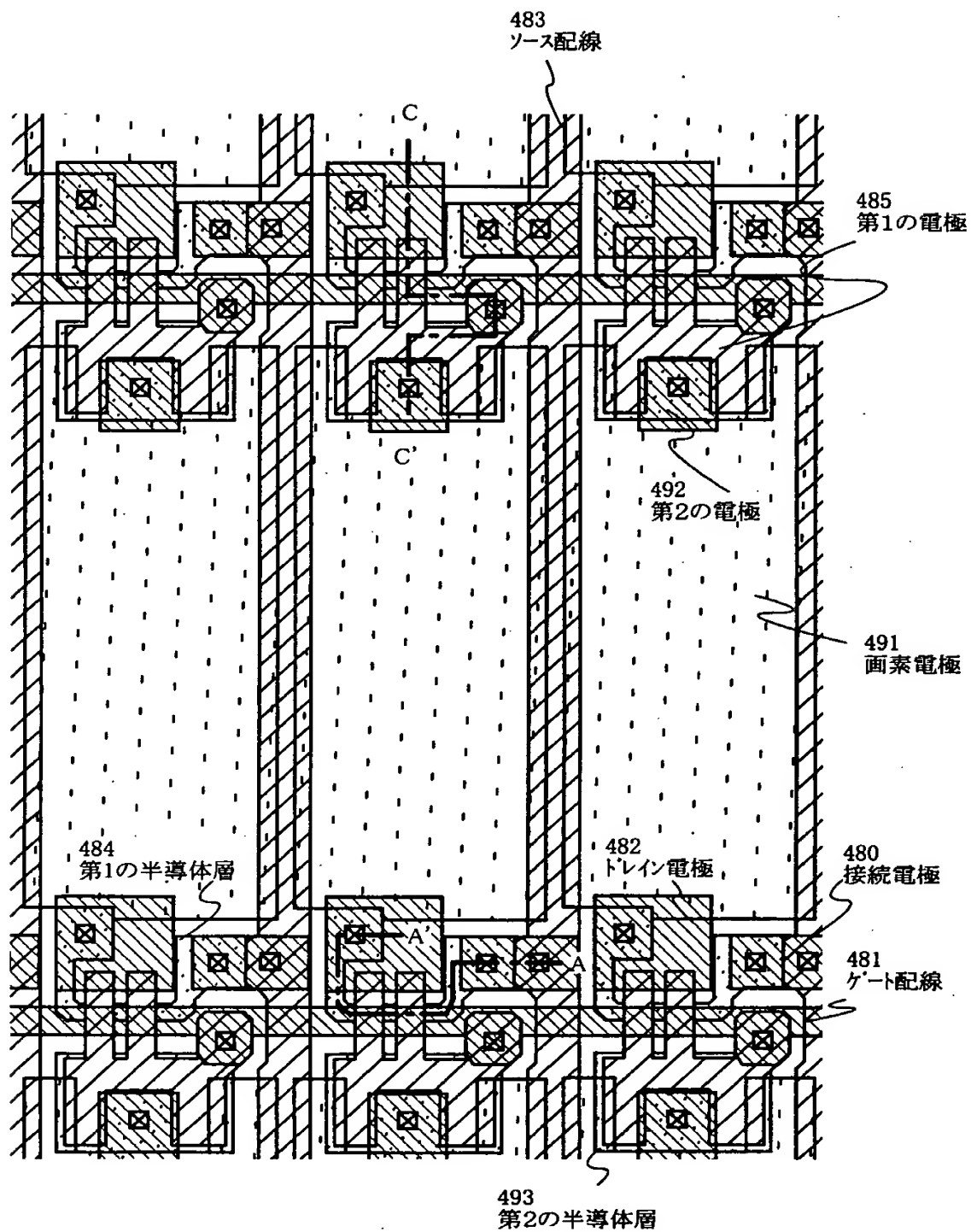
【図14】



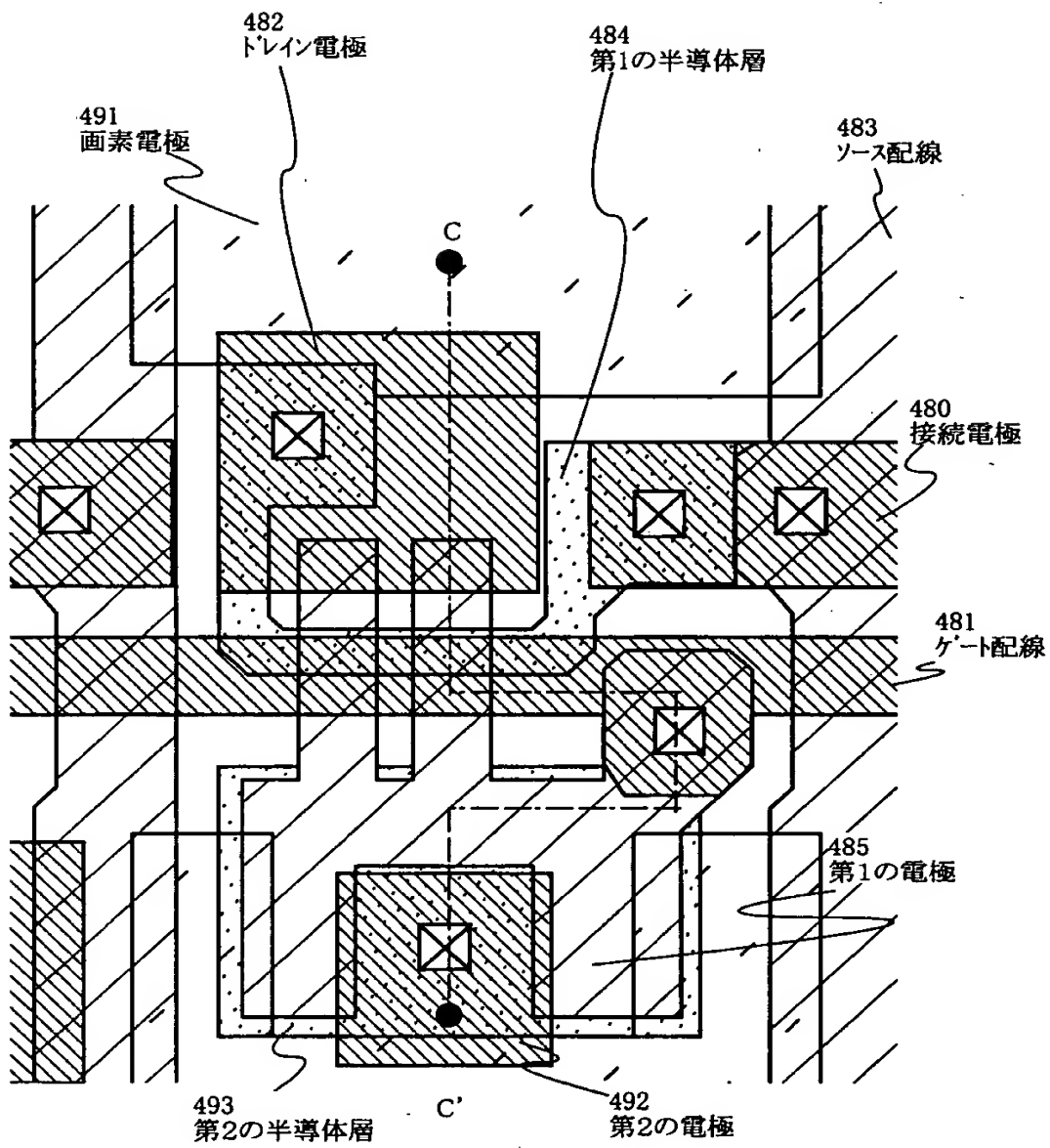
【図15】



【図 16】

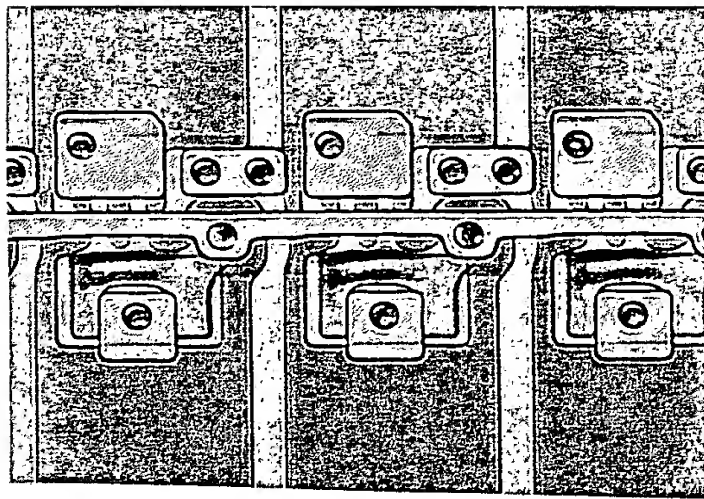


【図 17】

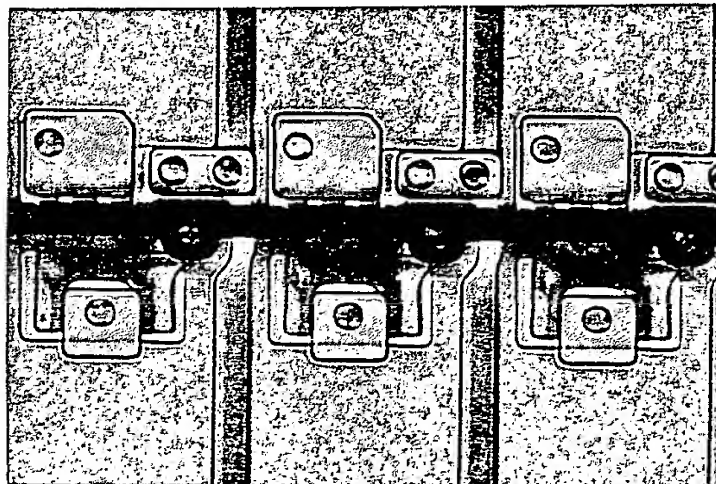


【図 18】

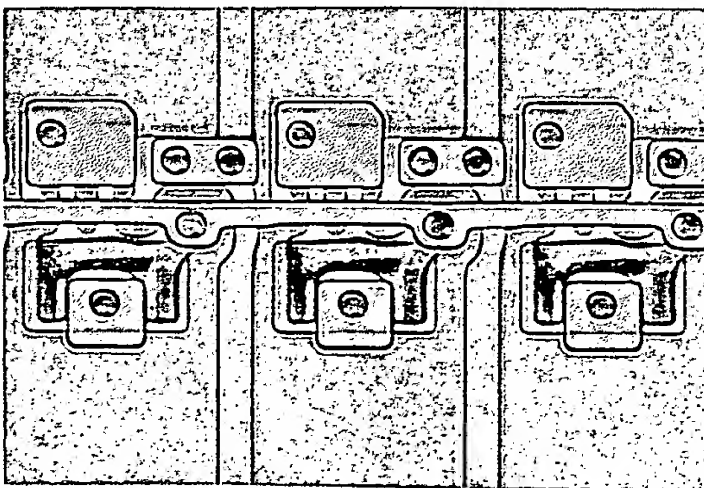
(A) 100時間駆動後、
駆動電源を切った直後



(B) ビデオ電圧を
 $\pm 1V$ 印加しているとき



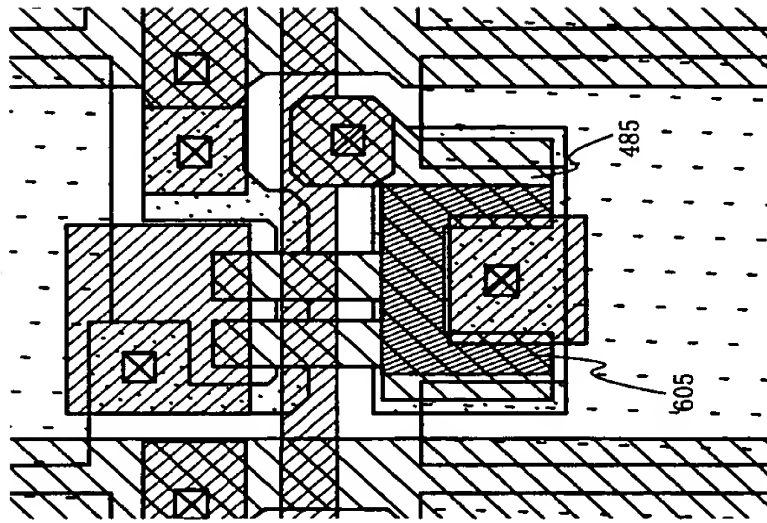
(C) 駆動電源を
切った直後



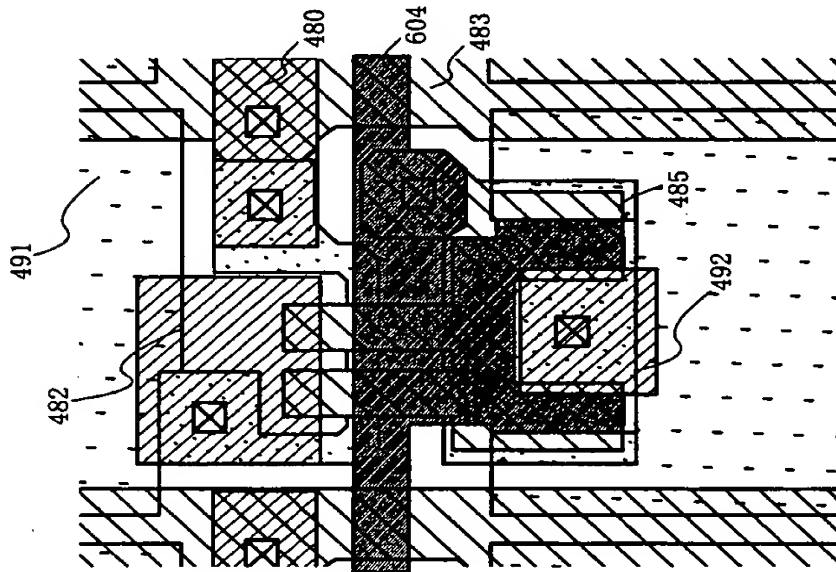
信頼性試験100時間経過後の液晶配向
(85°C $\pm 5V$ 駆動後、液晶 ZLI4792)

【図 19】

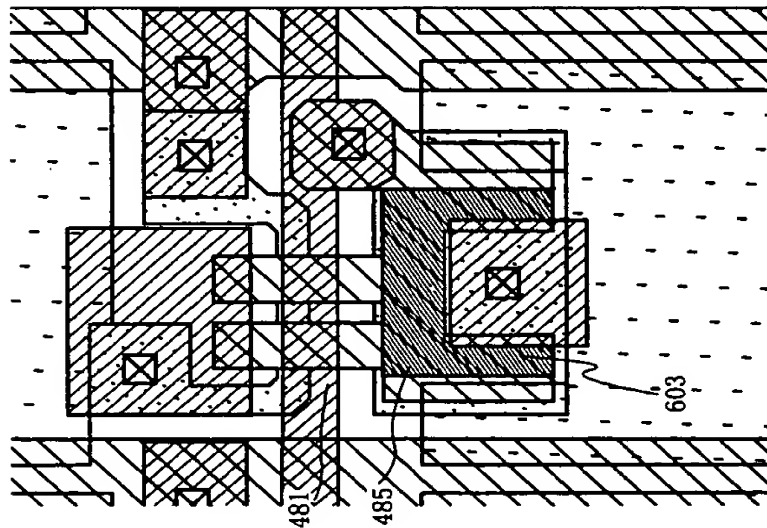
(C) 駆動電源を切った直後



(B) ビデオ電圧を±1V印加しているとき



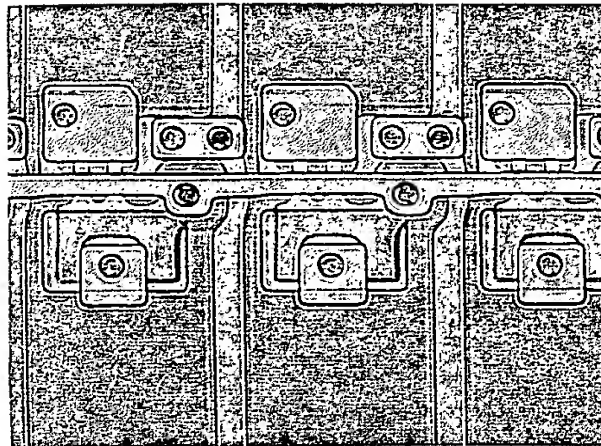
(A) 100時間駆動後、駆動電源を切った直後



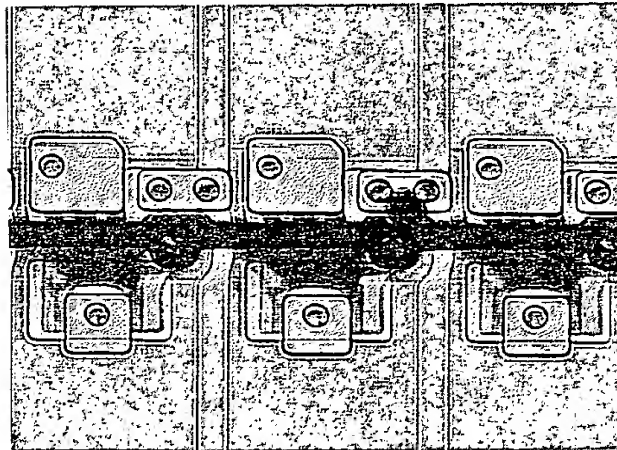
信頼性試験100時間経過後の液晶配向
(85℃ ±5V駆動後, 液晶 ZLI4792)

【図 20】

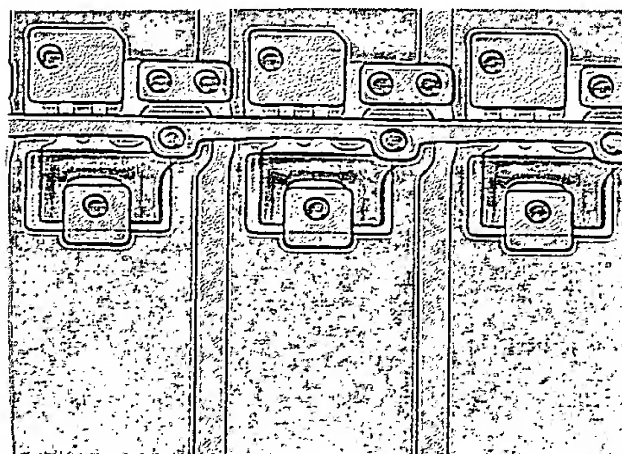
(A) 駆動電源を
入れる前



(B) ビデオ電圧を±1V
印加しているとき

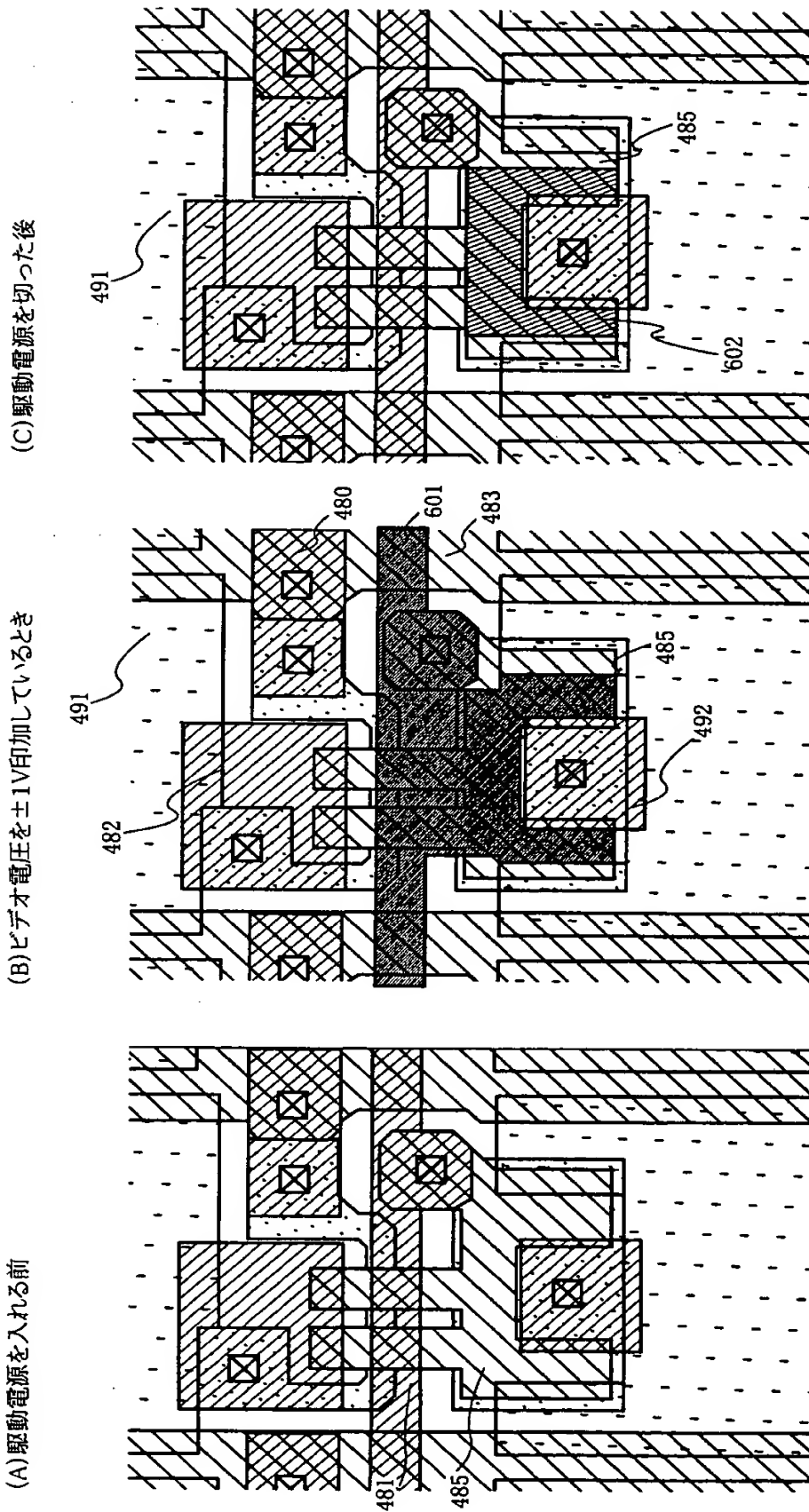


(C) 駆動電源を
切った後



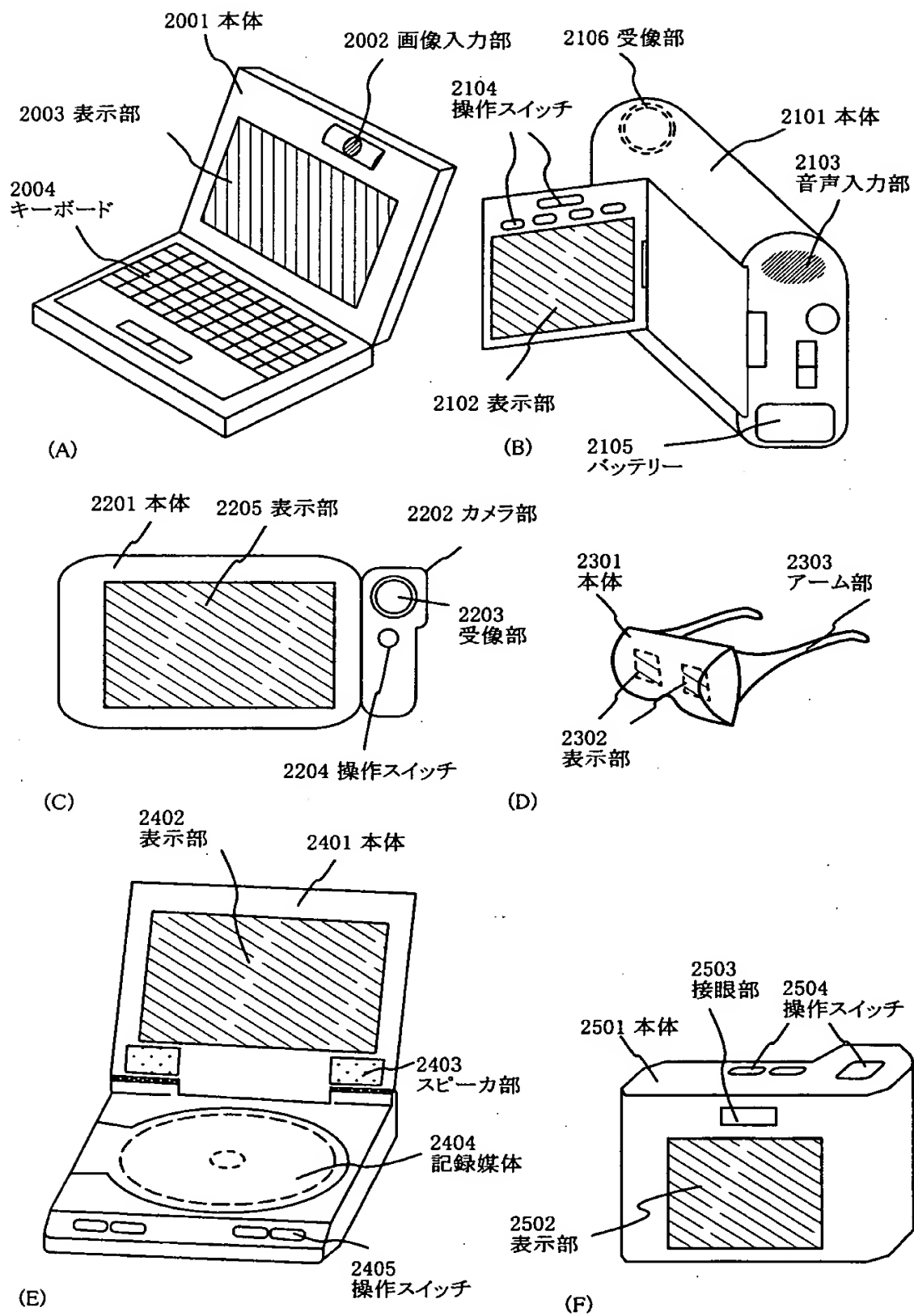
信頼性試験前の液晶配向
(液晶 ZLI4792)

【図 21】

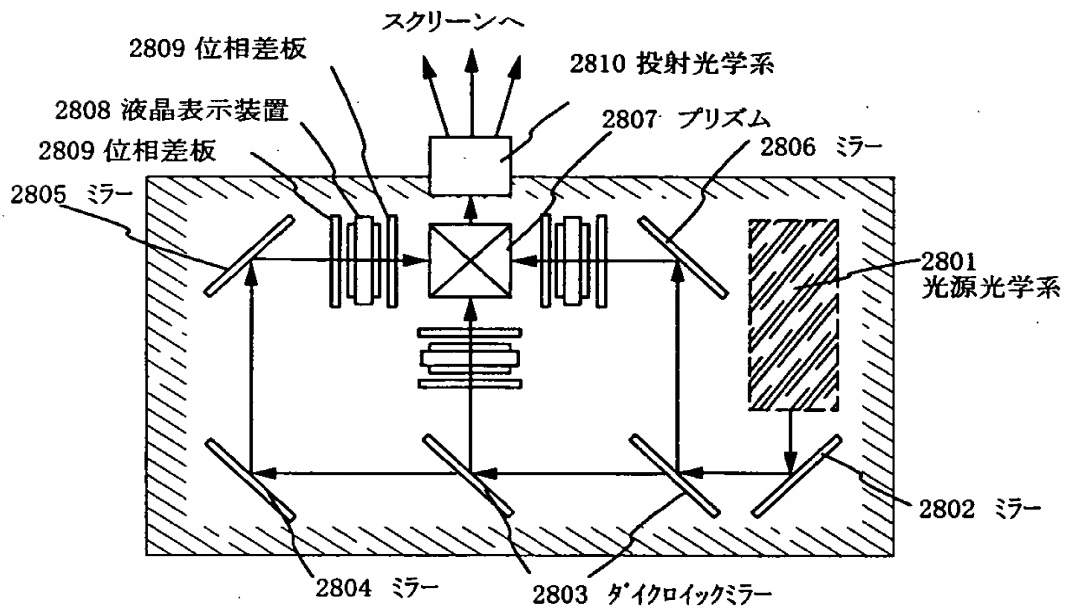
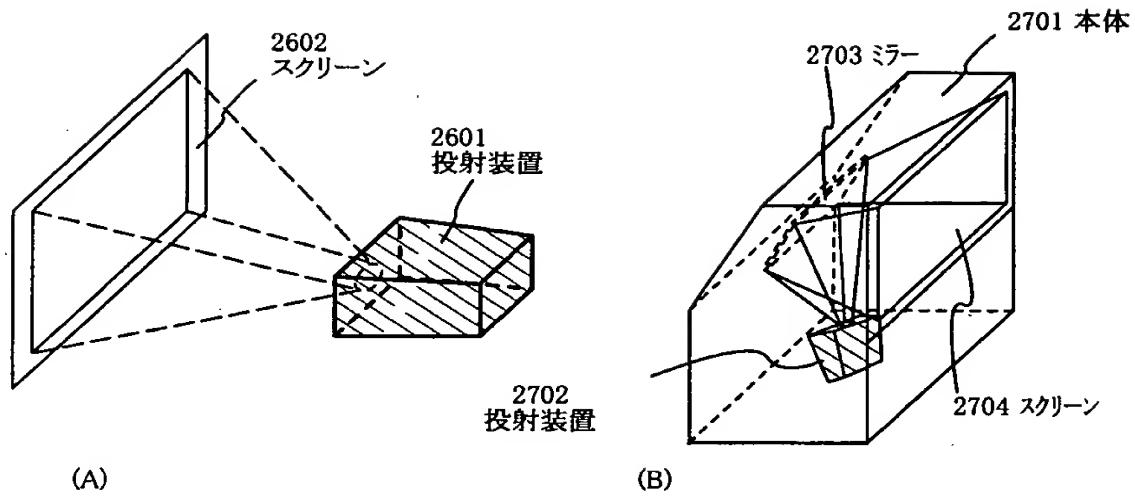


信頼性試験前の液晶配向
(液晶 ZLI4792)

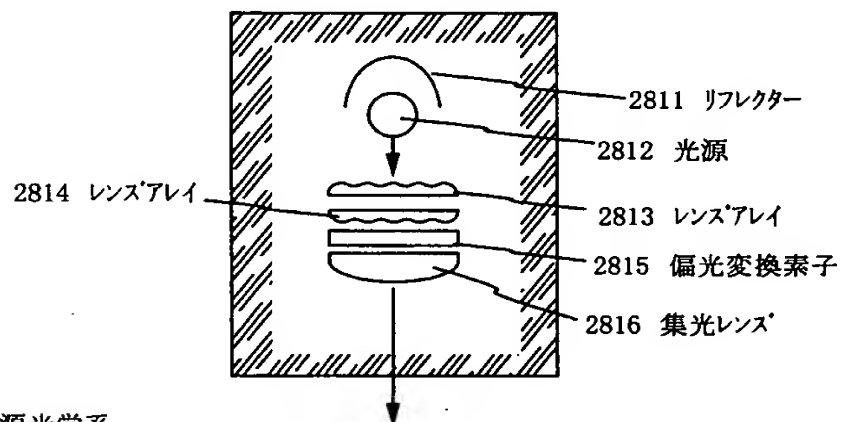
【図 22】



【図 23】



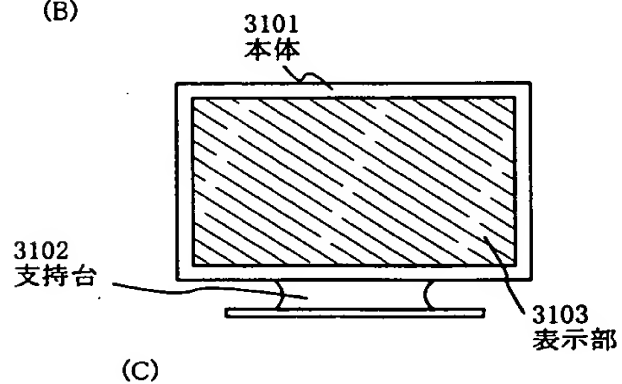
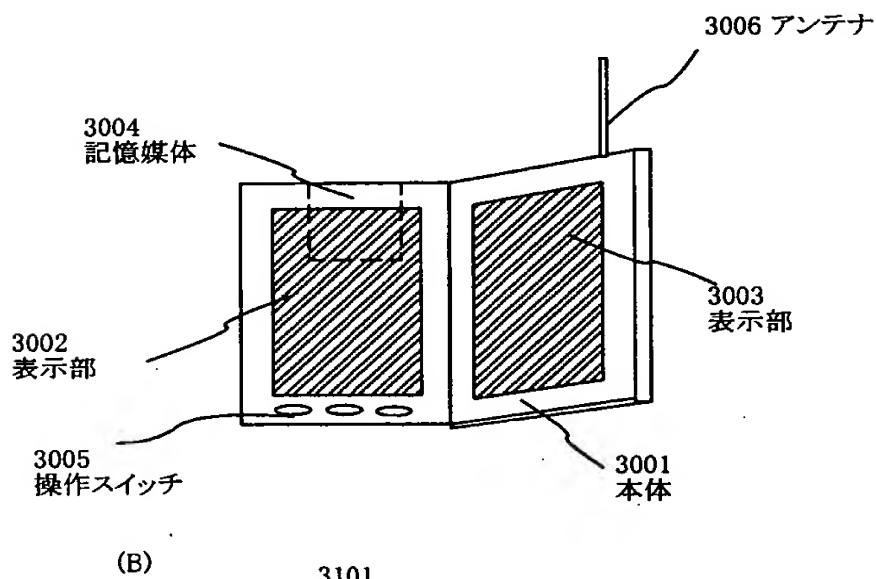
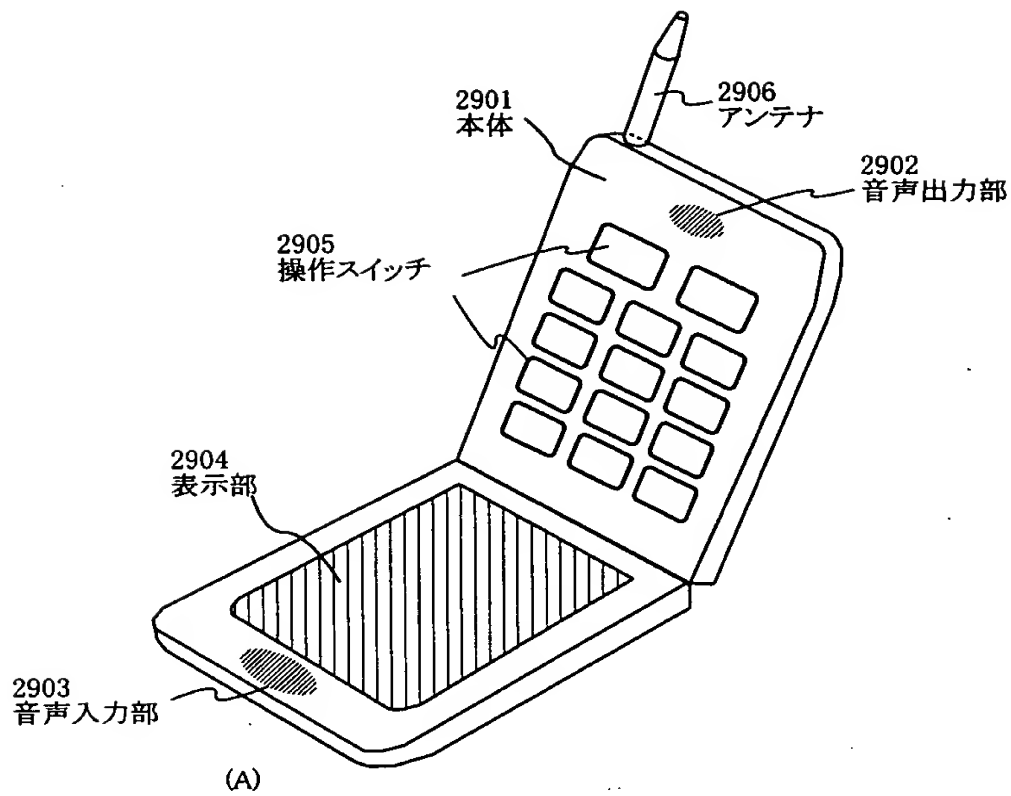
(C) 投射装置 (三板式)



(D) 光源光学系

特 2 0 0 0 - 2 4 5 9 8 9

【図 2 4】



【書類名】 要約書

【要約】

【課題】 駆動電源を切った後に液晶の配向が固定されて残るような不安定要素を低減する。

【解決手段】 層間絶縁膜が $2.0\mu\text{m}$ 以下と薄く、容量が大きいときは、駆動電源を切った後に、層間膜下の電極上に残留した電荷によりできる電界による液晶の応答が無視できない。特に、配線と電極がコンタクトホールを介して接続していると、接触抵抗等が大きく電極上に電荷が残留しやすい。そこで、駆動電源を切った後に電極等に残る電荷を導電体膜により遮蔽する。

【選択図】 図 1

特2000-245989

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日	1990年 8月17日
[変更理由]	新規登録
住 所	神奈川県厚木市長谷398番地
氏 名	株式会社半導体エネルギー研究所